コンピュータシステムA - ハードウェアを中心に -

#6 素子技術の発展・製造業ビジネス

Yutaka Yasuda

繰り返し処理

- (一般的) コンピュータの特長

  単純な装置で複雑な処理を可能にする
- 役割分担の存在

  ハードウェアは単純・高速に

  複雑さはソフトウェアで実現

  複雑な処理は単純な処理の組み合わせや繰り返しに分解
- これがハードウェアに高速性が求められる理由

素子技術

- 演算（計算）する回路＝単純な回路（素子）の集合体
- 素子

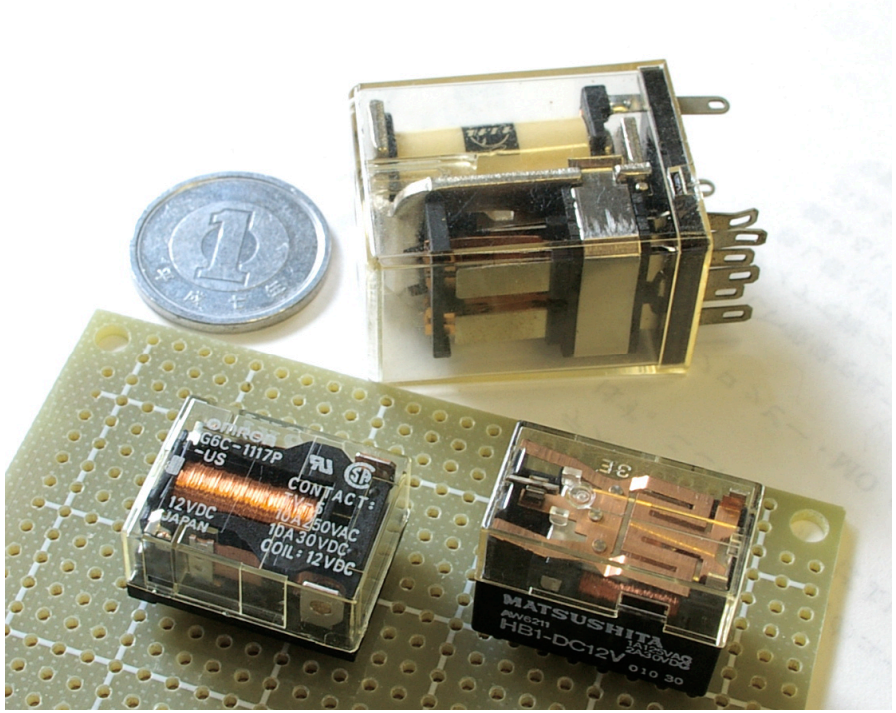
  最低単位となる計算を実現するもの

  これを繰り返せば必要な解を得られる
- 最小の回路単位：AND, OR, NOT 回路

  スイッチ（リレー）で実現できる

リレー

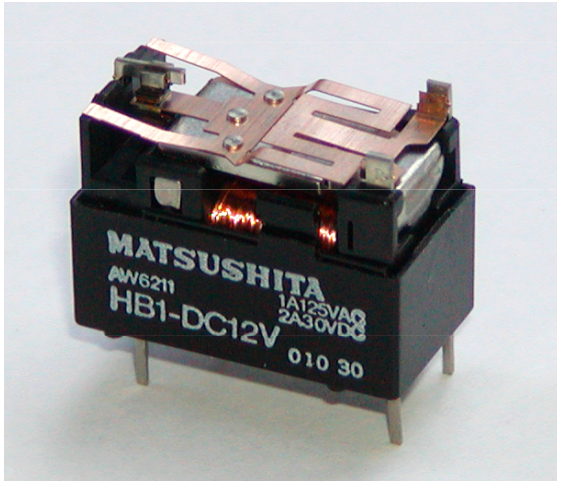
- 機械より早くできるもの
- リレー（電気スイッチ）を利用する



小型リレー

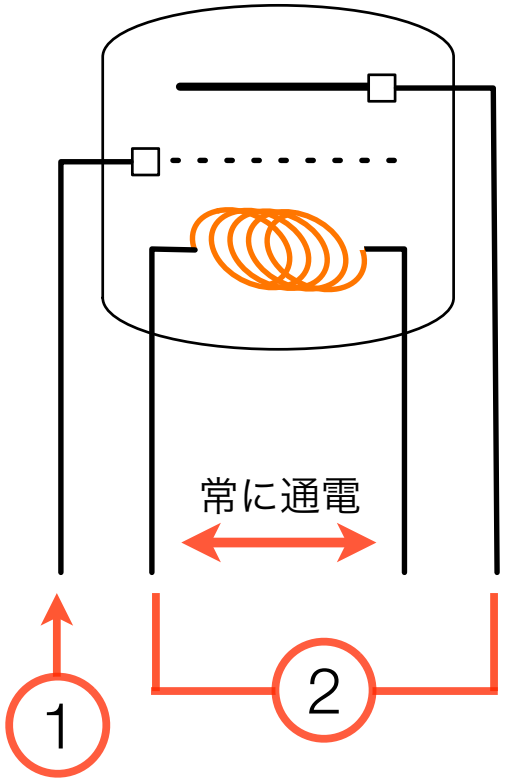
スイッチング回路

- 論理関数(AND, OR, NOT）が実現できれば良い
- リレーに限らず、スイッチとして機能すれば良い
- 切り替えに必要な時間が短ければ短いほど良い
- 素子：最低単位のスイッチ

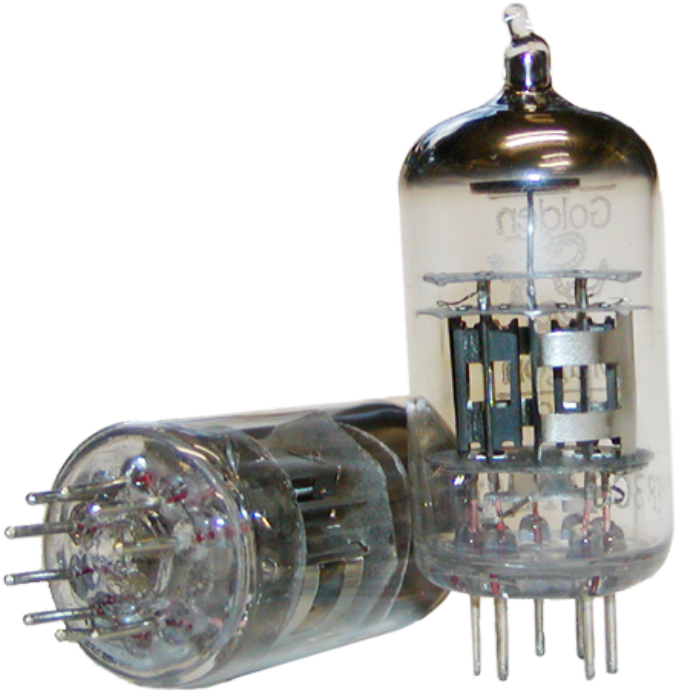


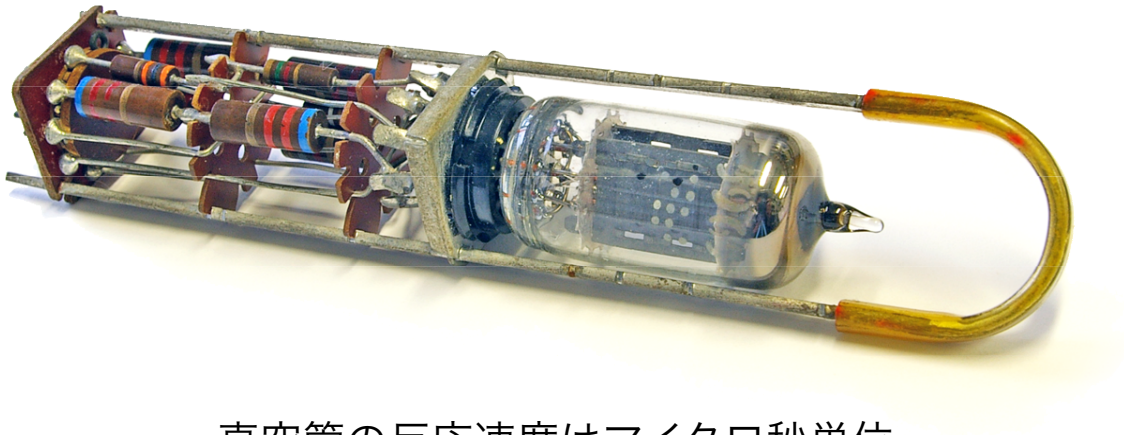
リレーの反応速度はミリ秒単位

真空管



1 に通電する量で 2 間の電流量が増減する

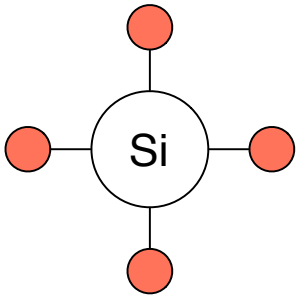




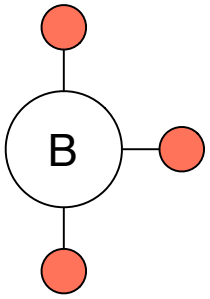
真空管の反応速度はマイクロ秒単位

半導体

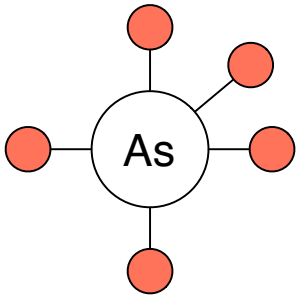
- 導体でも絶縁体でもない、中間的な性質をもつ物質
- シリコン（Si, 珪素）、ゲルマニウム（Ge）など各種
- 今日よく使われるのはシリコン
- ある種の不純物を混ぜた時の電気的な特性を応用する



シリコン
原子番号14



ホウ素
原子番号5



ヒ素
原子番号33

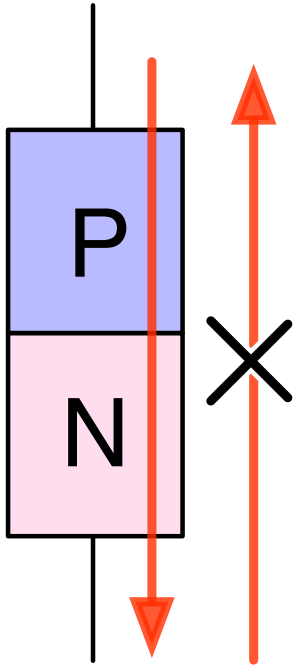


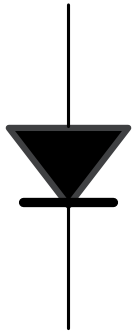
シリコン結晶

ダイオードへの応用

（ダイオードは半導体以前に真空管によるものが存在する）

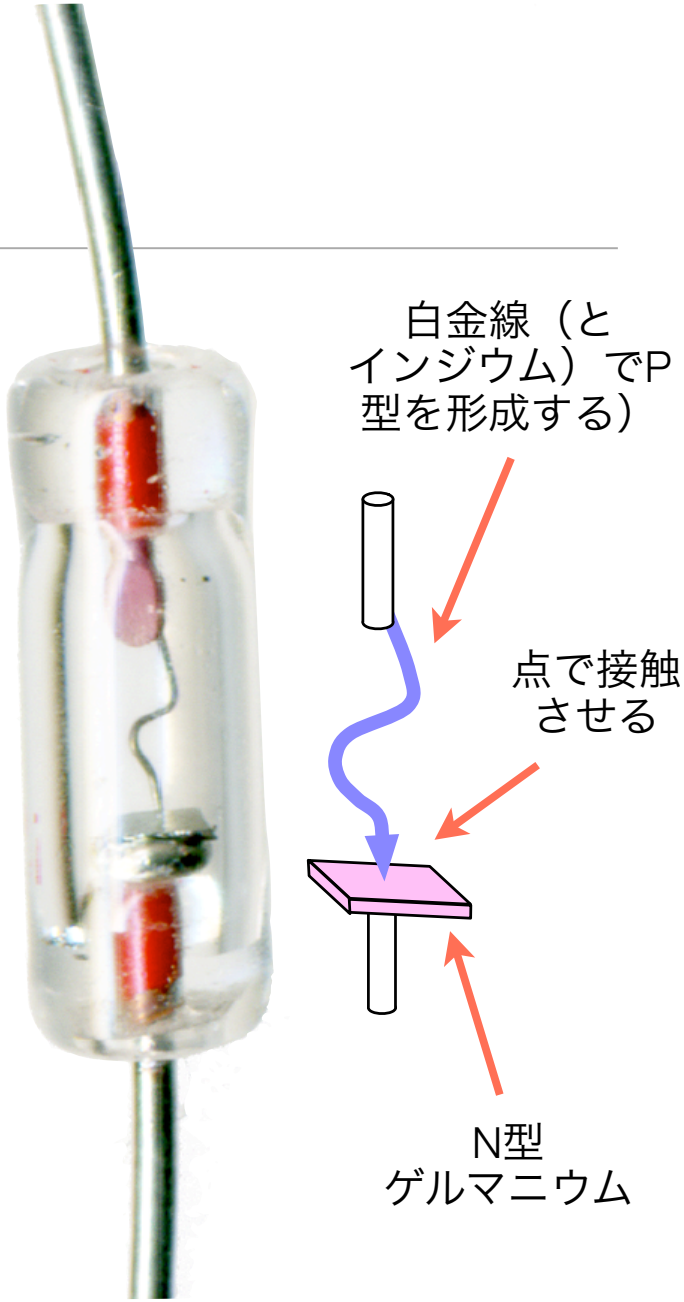
P, N 二種の半導体材料を接合し、電極をつける。
両者の相違は微量に混入した不純物の違いによる。



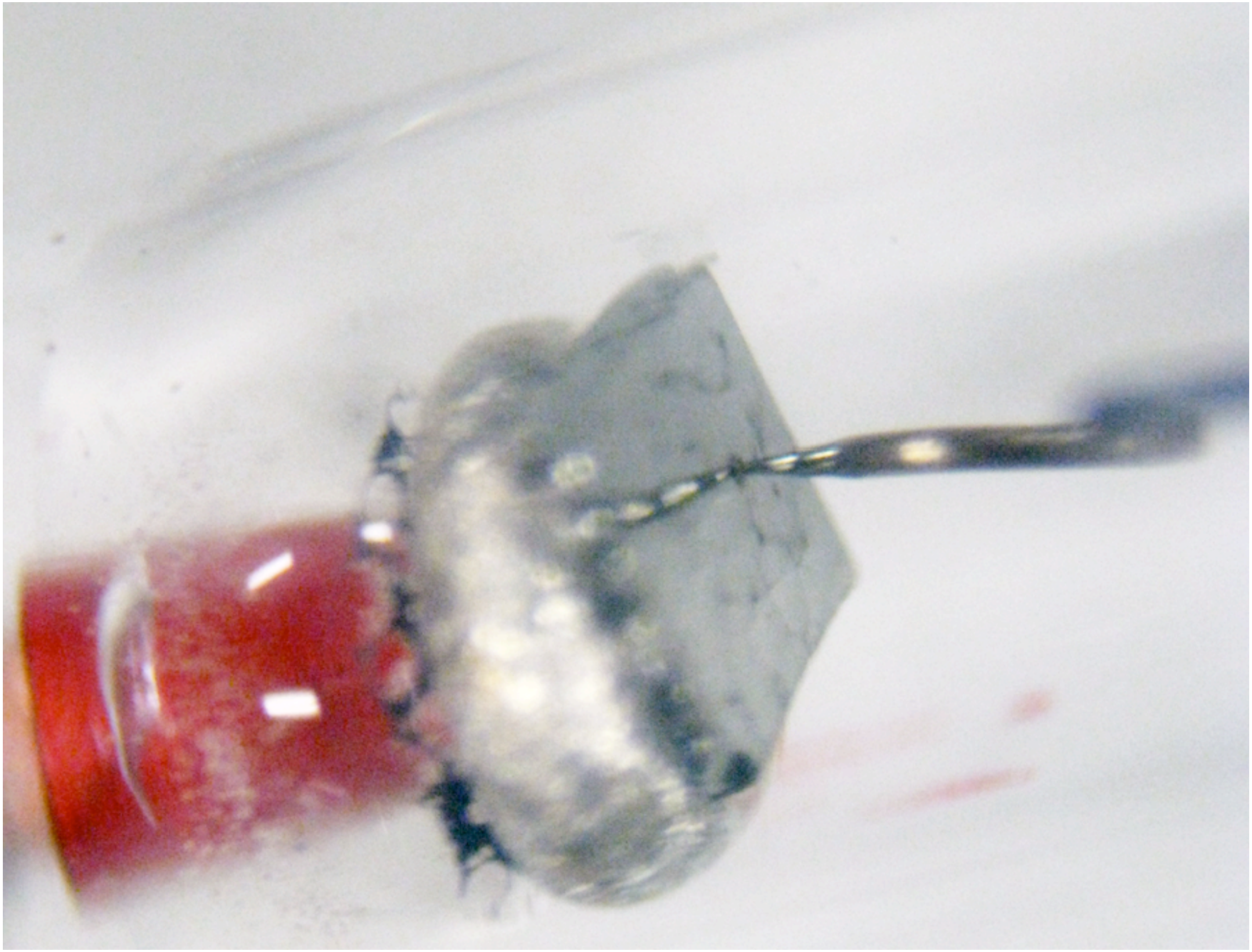


このようなシンボルで図示する

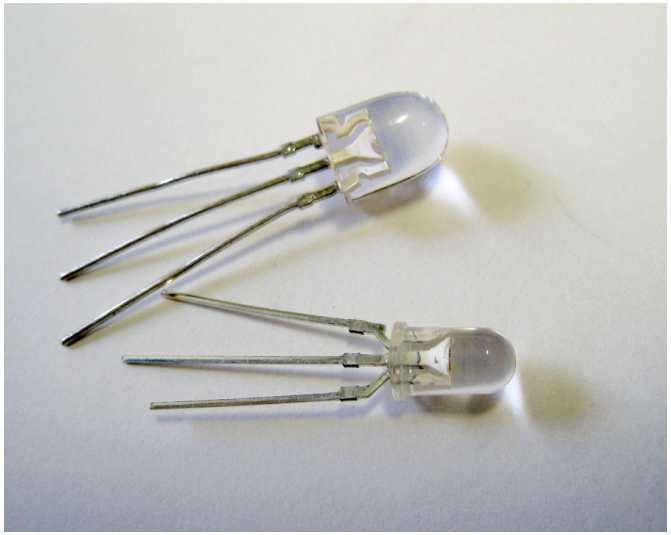
一方向にしか電流は流れない

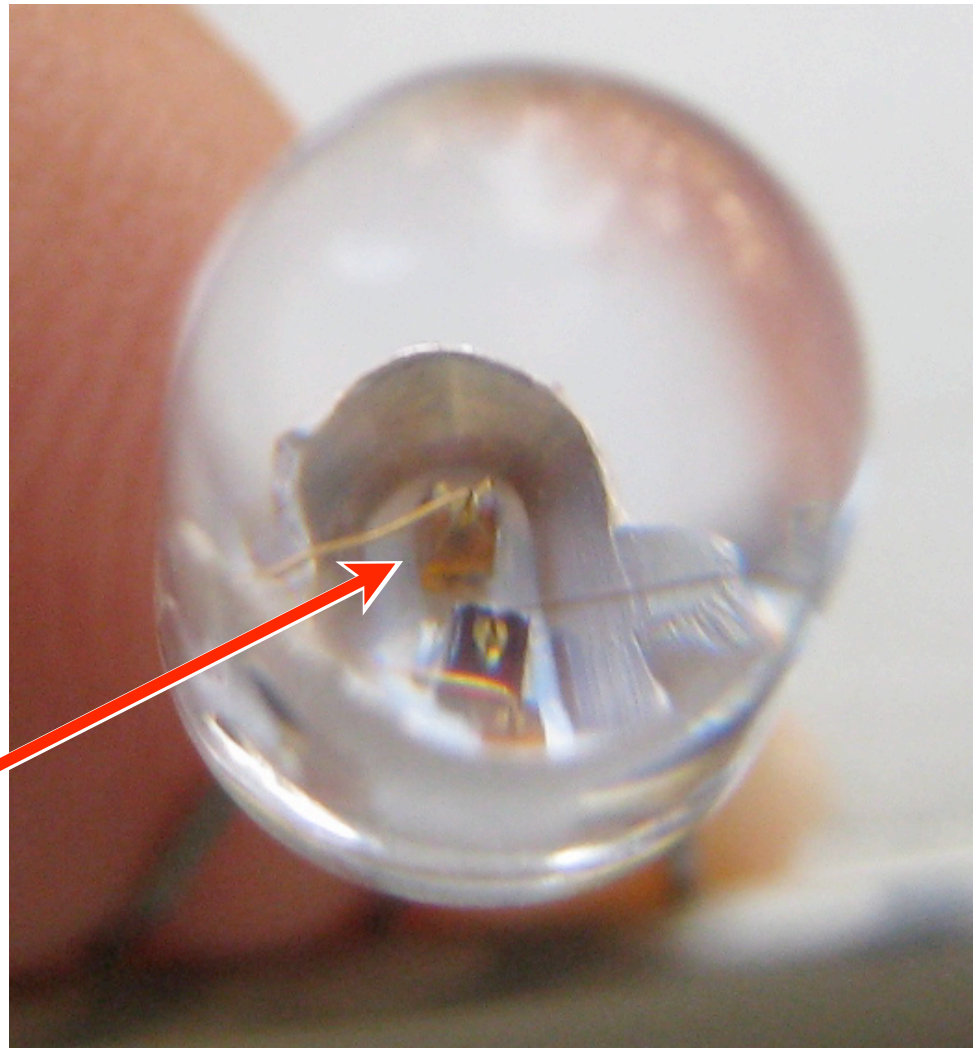


1K60 （ゲルマニウム点接触型である点に注意）



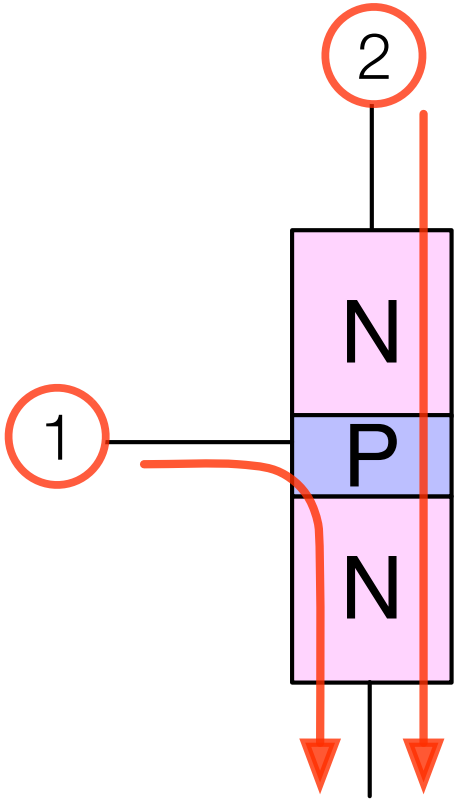
発光ダイオード（LED）



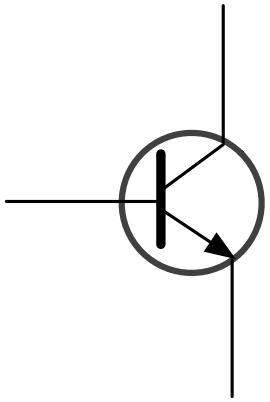


結晶に細い電極
が付いている

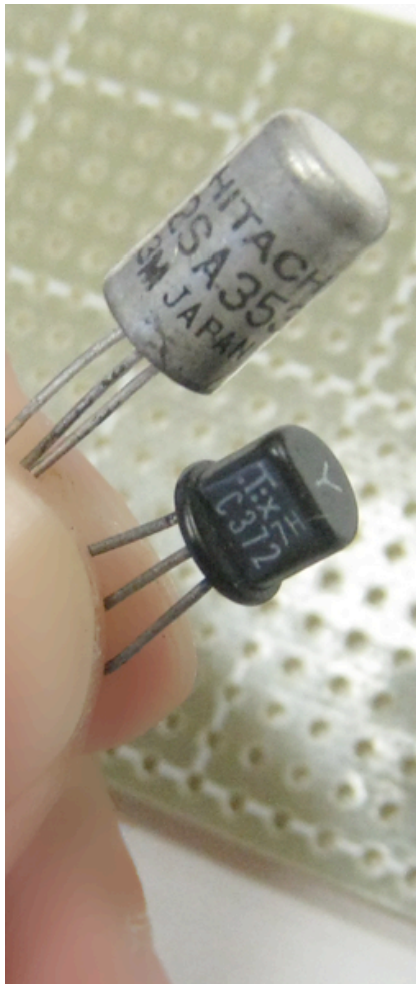
トランジスタ



N型, P型半導体を接合して、
スイッチの機能を実現する



このようなシンボルで図示する

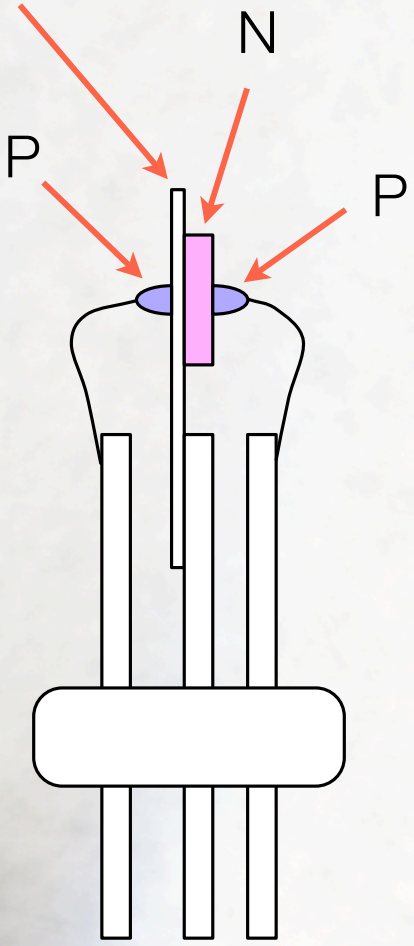


トランジスタの反応速度は
マイクロ秒以下（ナノ秒台）

1 に通電する量で 2 に流れる電流が増減する

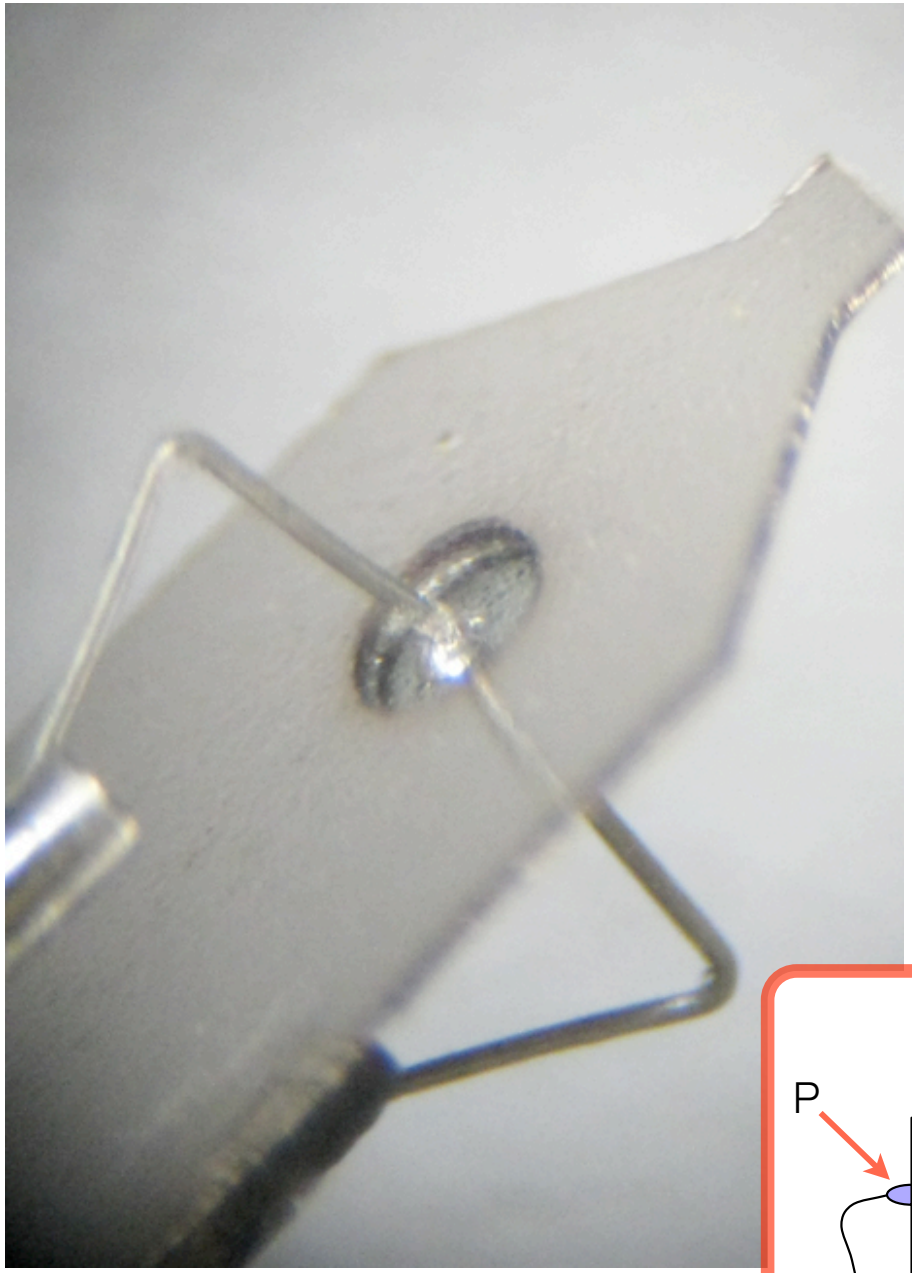


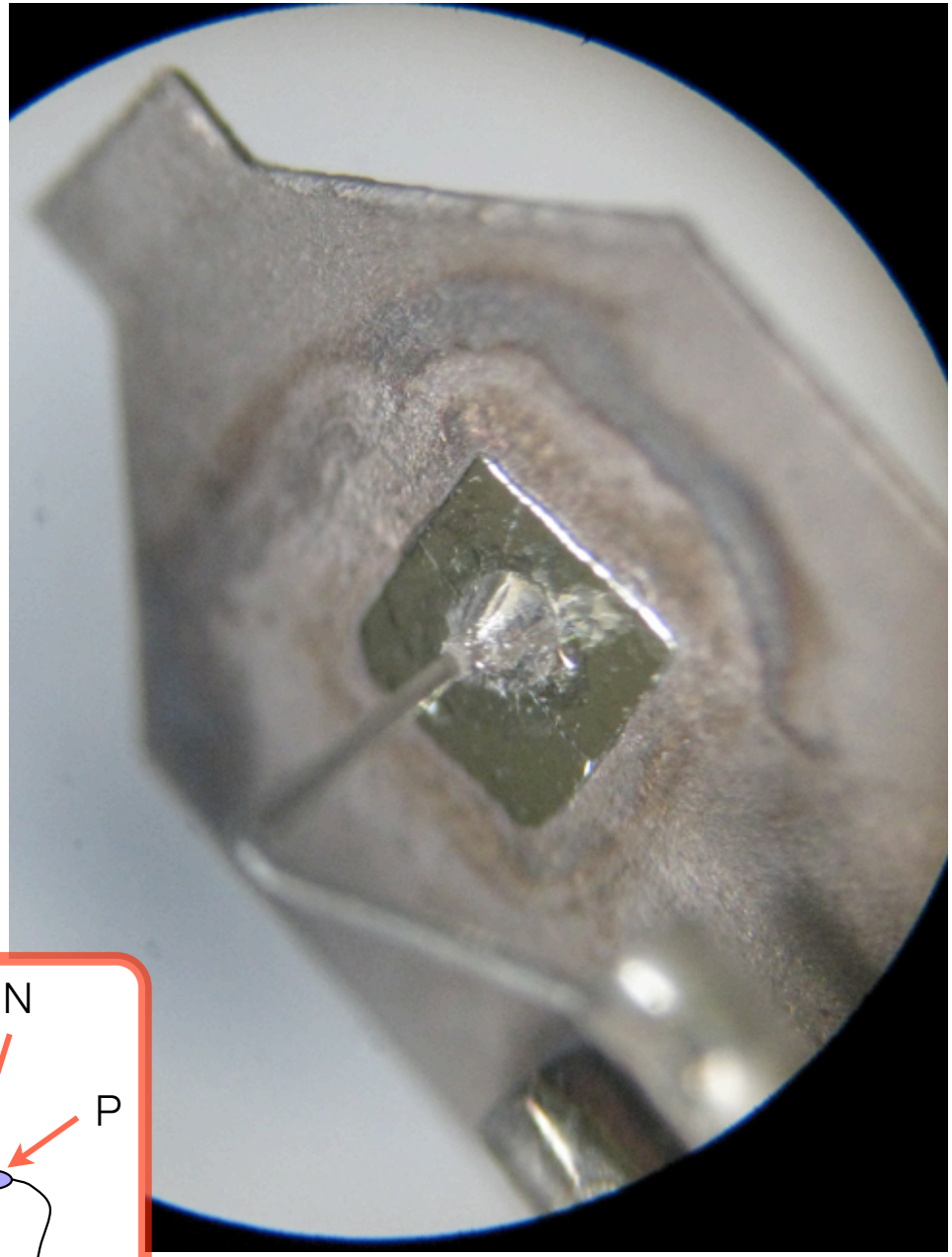


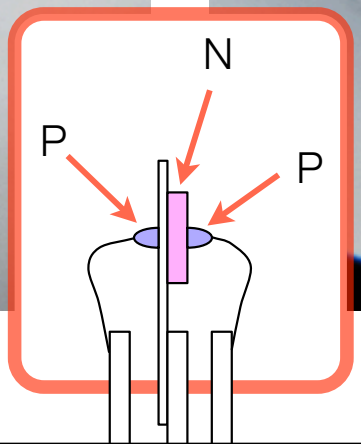




2SA353（ゲルマニウムトランジスタ）のCANパッケージをはがしたもの （隣の一円玉は直径 2cm）



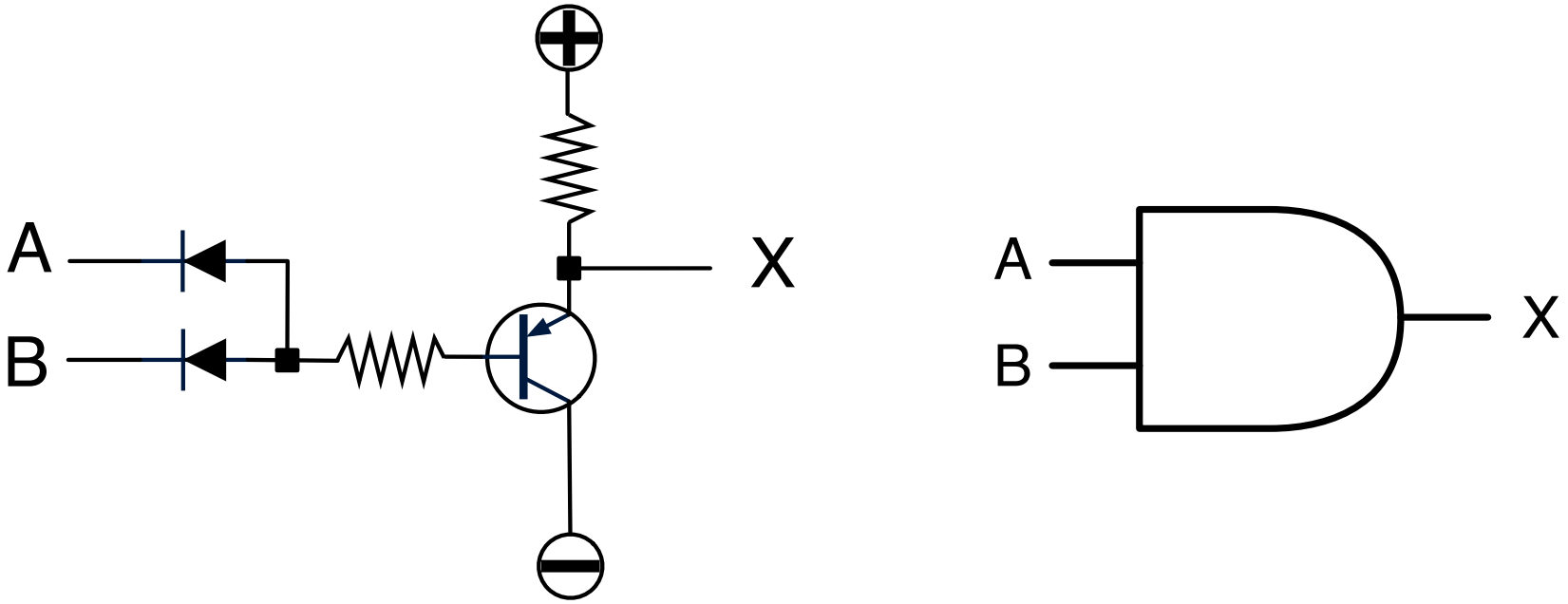




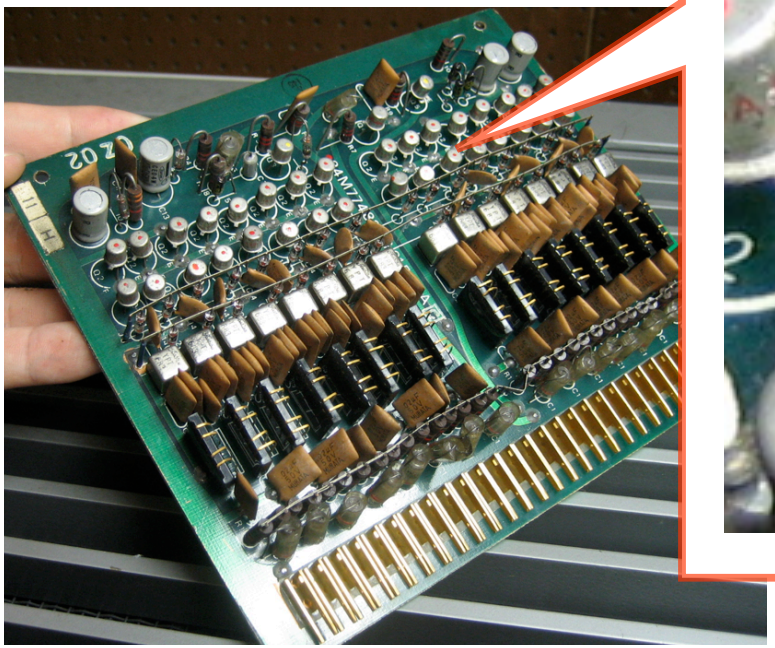
図は材料自体がP型半導体に見えるがそうではない

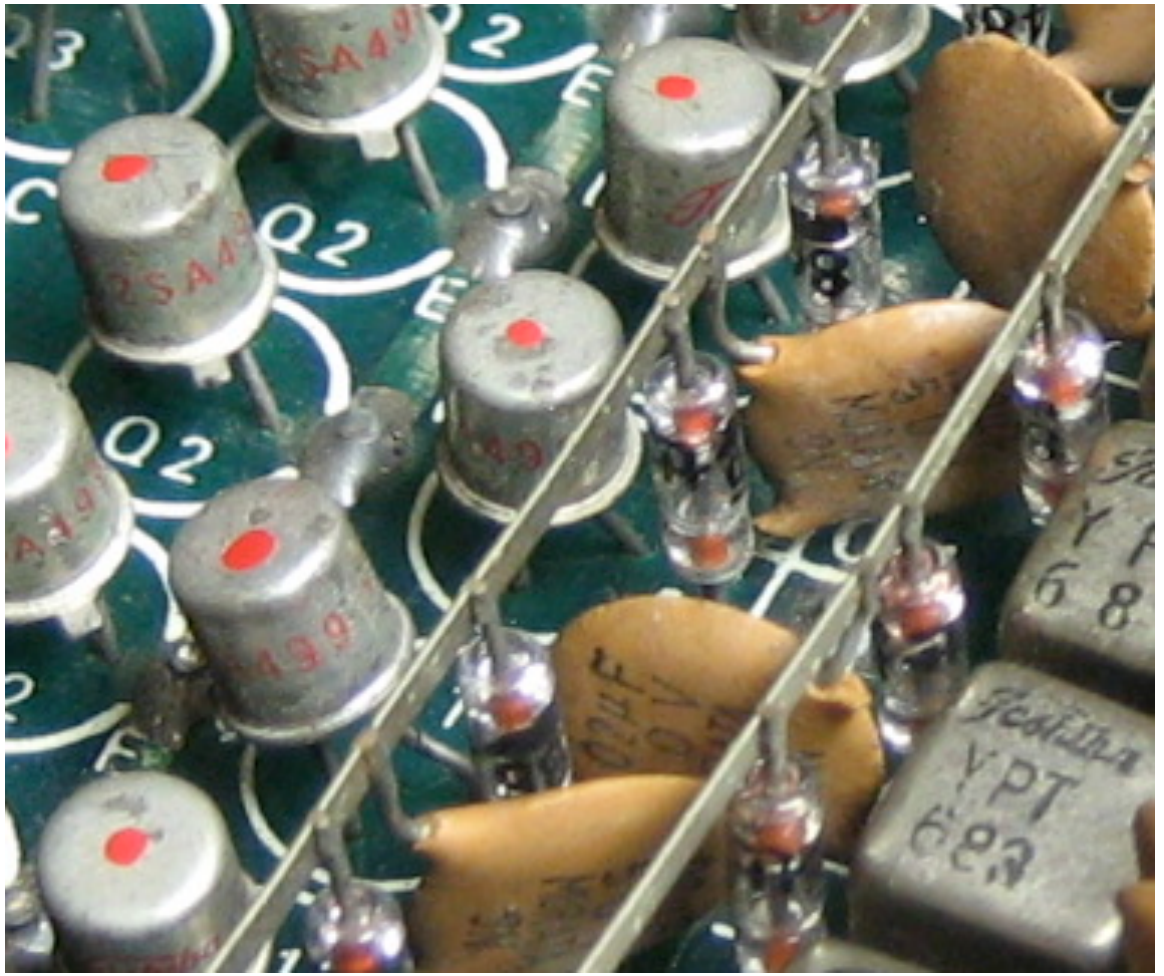
トランジスタとダイオードによる論理回路

トランジスタとダイオードによって AND 論理回路（ゲート）を実現する

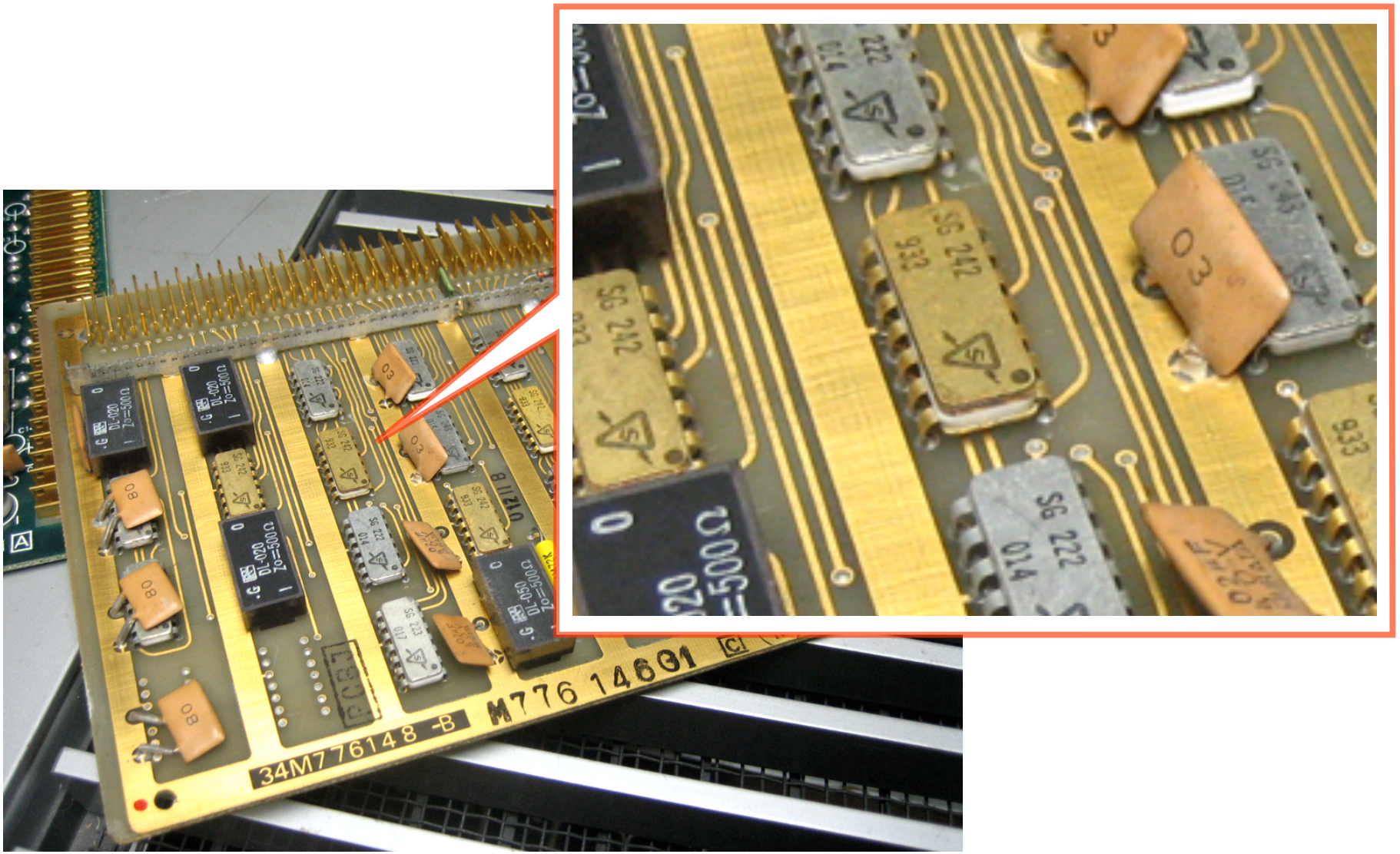


トランジスタとダイオードによる回路基板

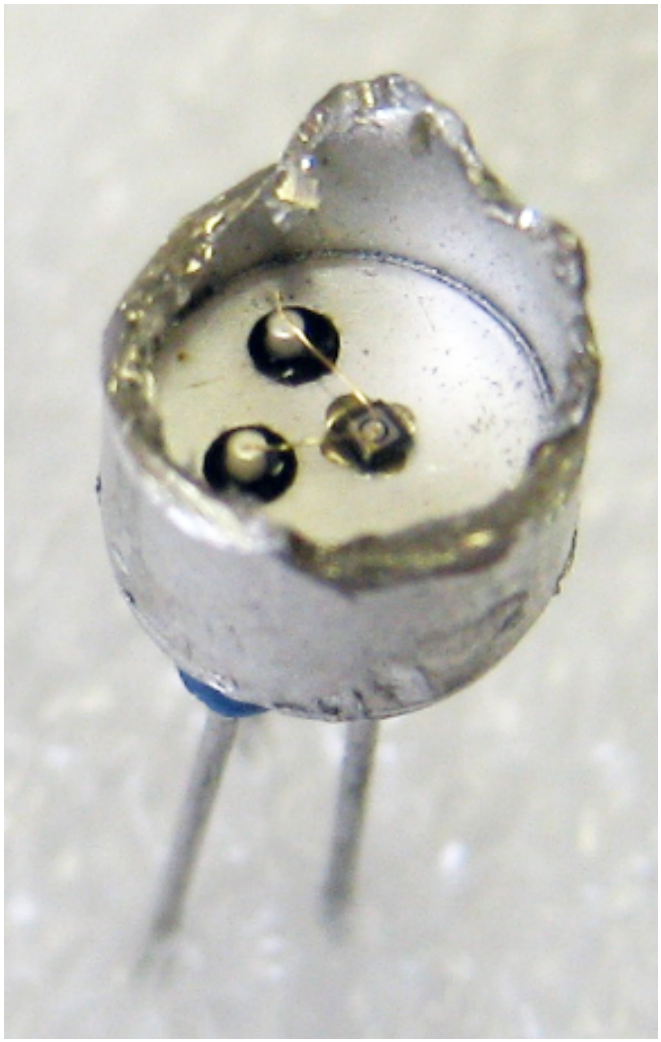


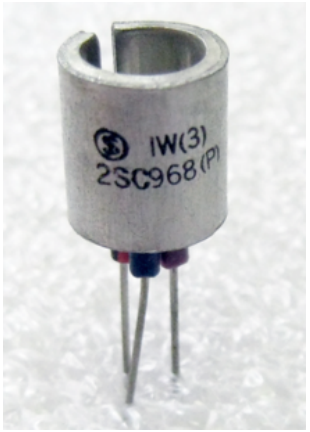


IC：集積回路による回路基板

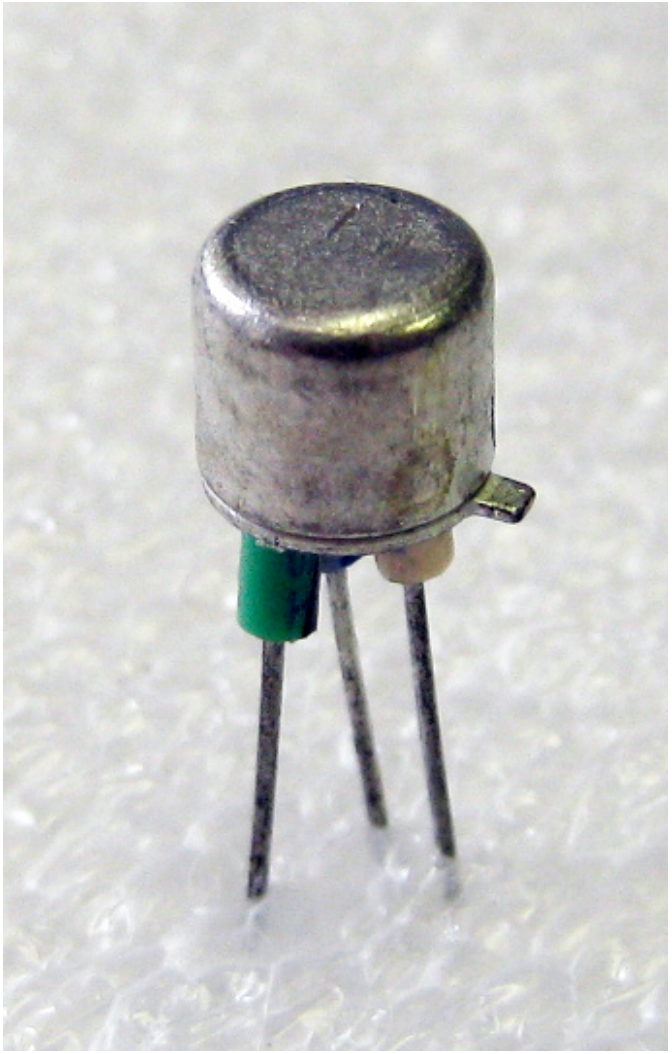


プレーナ型トランジスタ





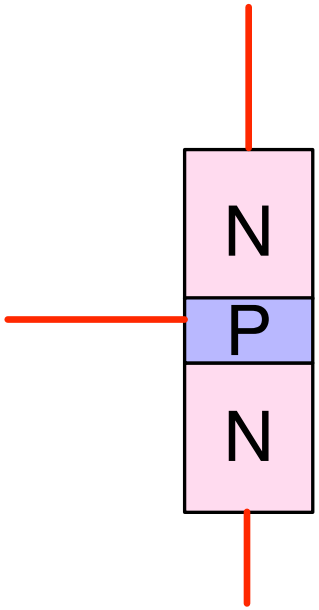
2SC968, Fujitsu
シリコントランジスタ



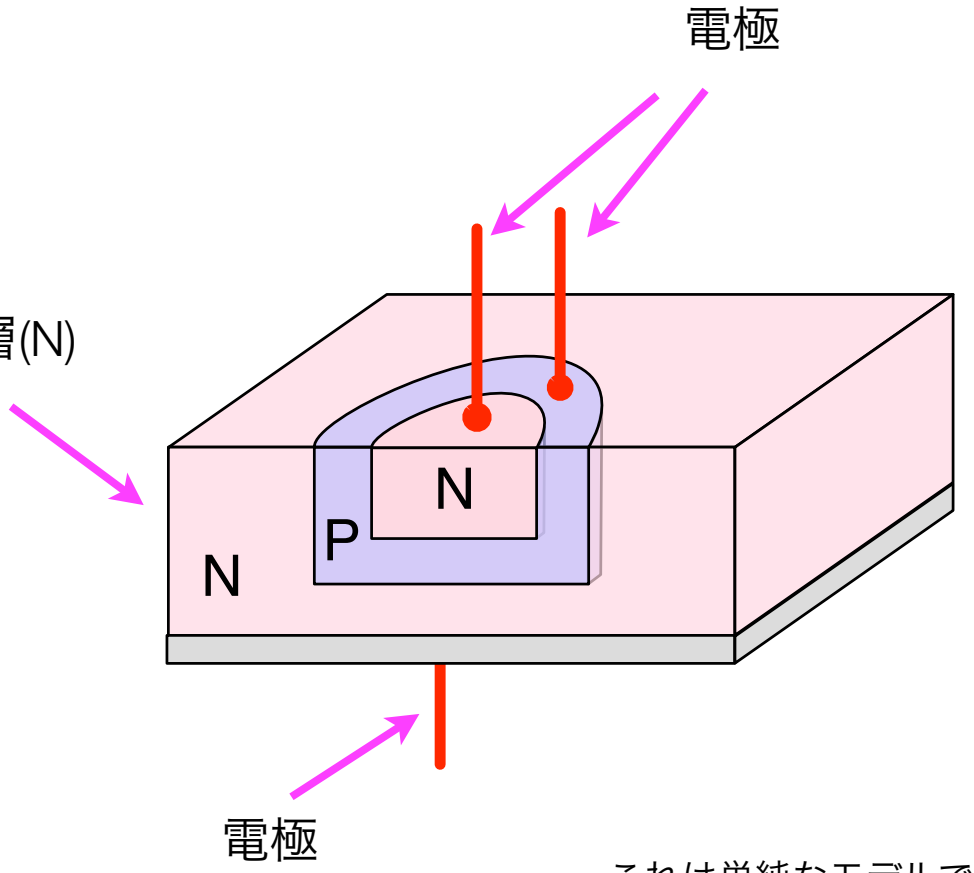
放熱のためにアルミでパッケージを巻いてある）

プレーナ型トランジスタ

半導体（シリコン）基盤の上にエッチング等によってN, P 型半導体を配置し、トランジスタを構築する

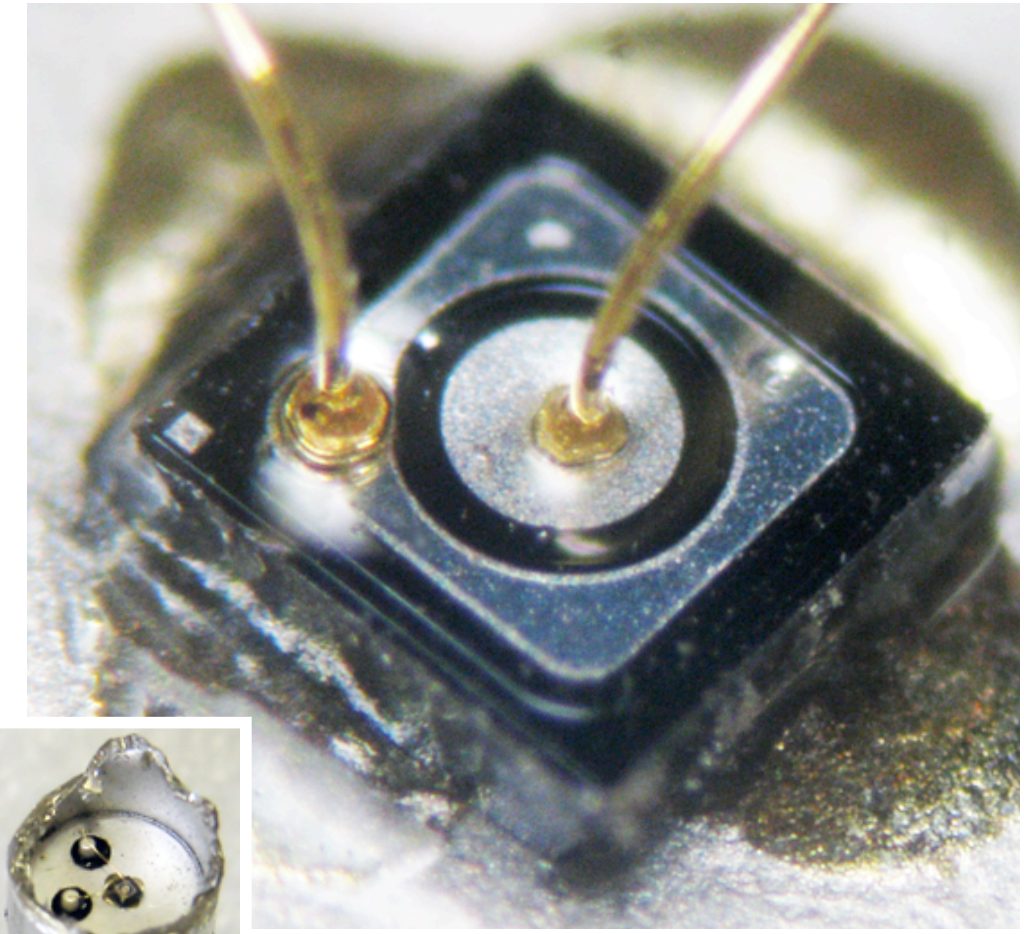


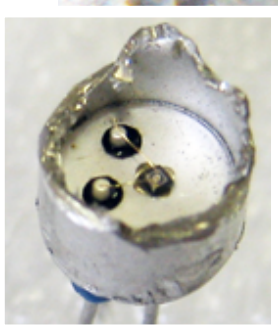
このトランジスタ（接合型）を右図のように構成する（プレーナ型と呼ぶ）

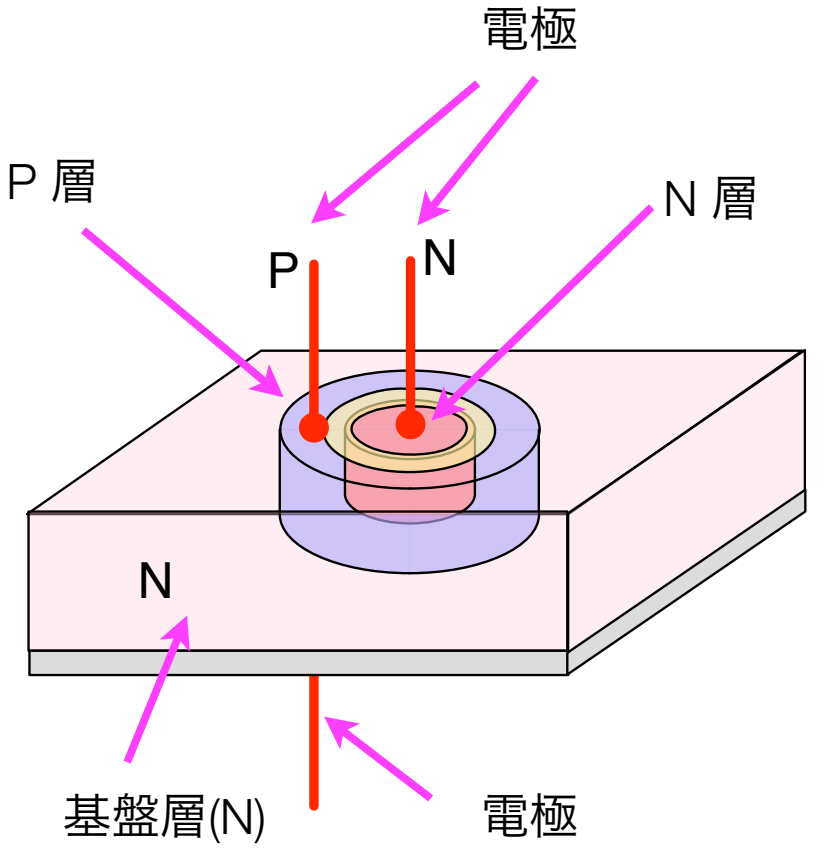


これは単純なモデルであり実際の構造や形状は図とは異なる

プレーナ型トランジスタ





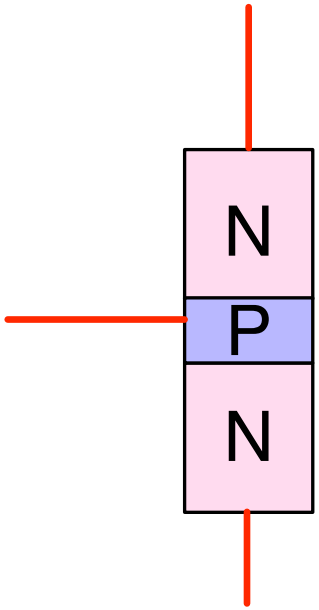


これは単純なモデルであり実際の構造や形状は図とは異なる

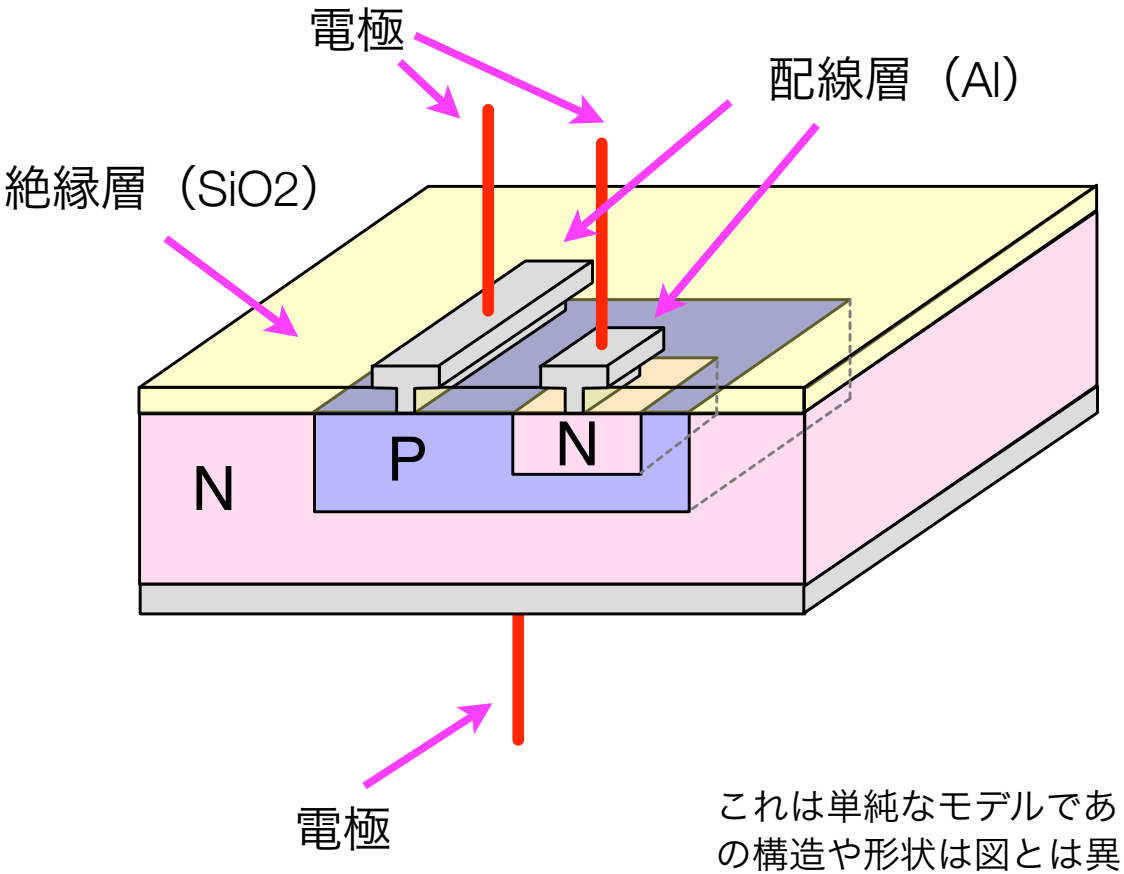
IC：集積回路の発明

IC：Integrated Circuit

半導体（シリコン）の上にエッチング、イオン注入、スパッタリング等によって配線層、絶縁層、N, P 型半導体を配置し、トランジスタを構築する



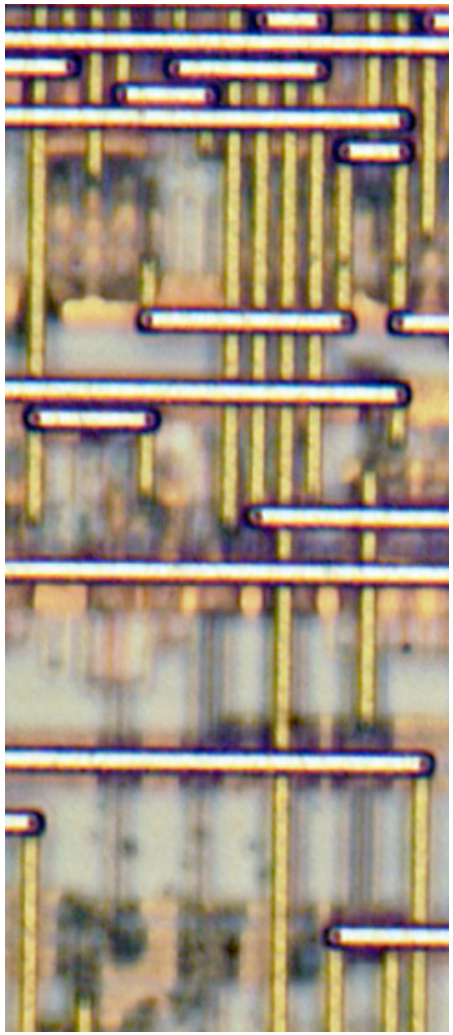
このトランジスタ（接合型）を右図のように構成する（プレーナ型と呼ぶ）



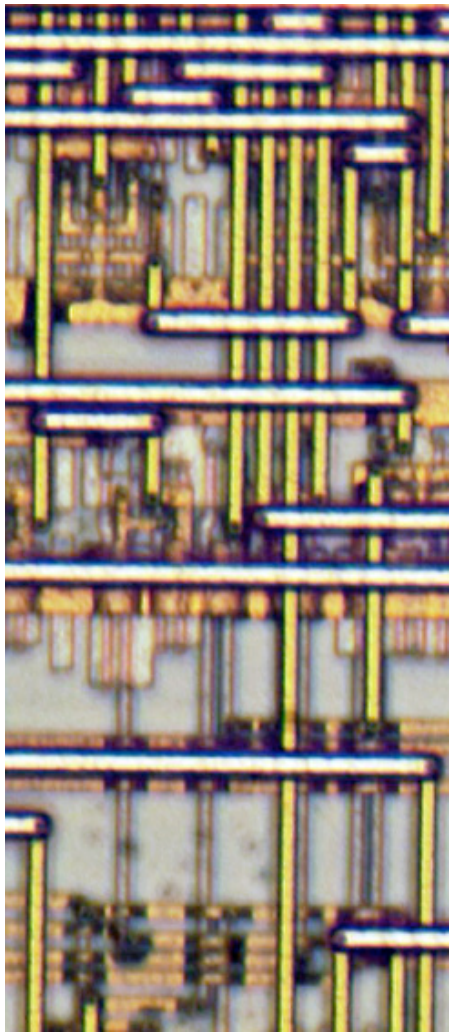
これは単純なモデルであり実際の構造や形状は図とは異なる

IC：集積回路の発明

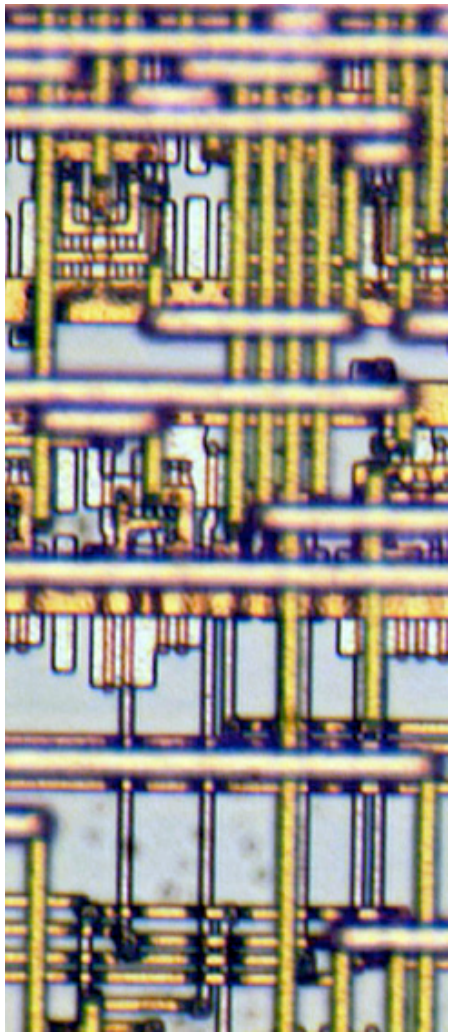
Intel i860XP, 40MHz, 1990, 1μm



最上層（横向けの配線層）

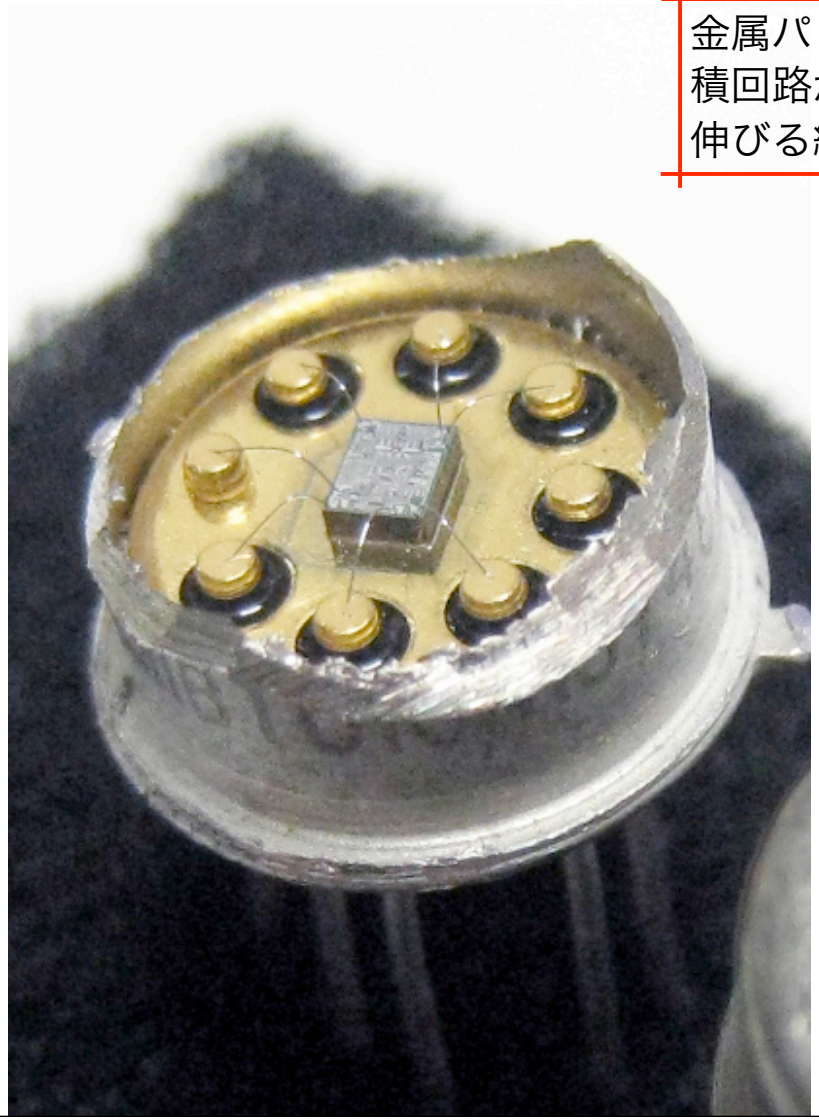


中層（縦の配線層）

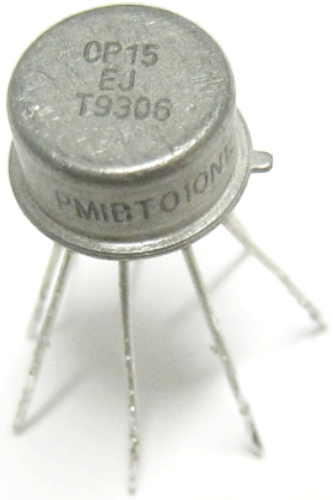


その下層（半導体の回路）

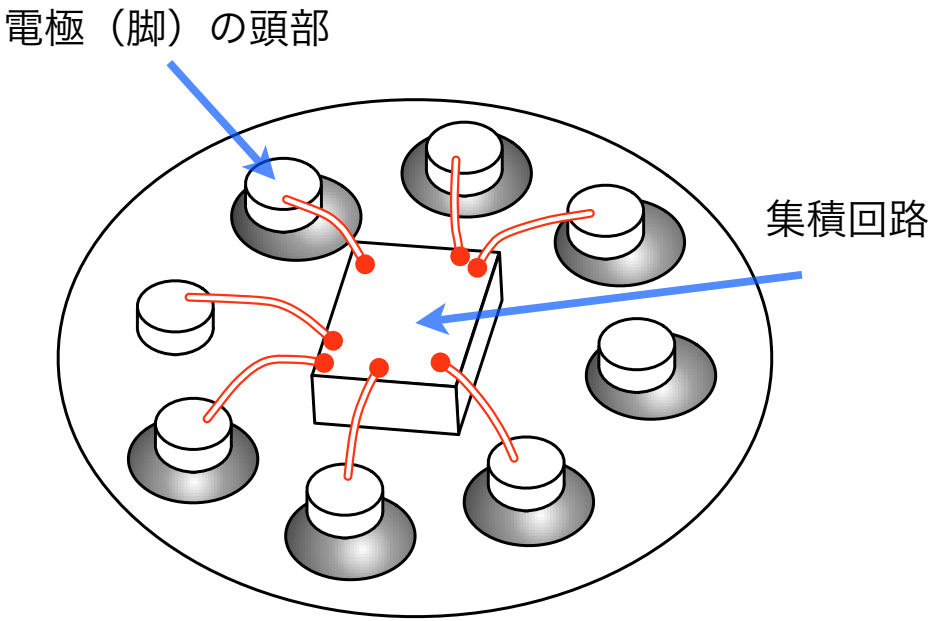
パッケージング

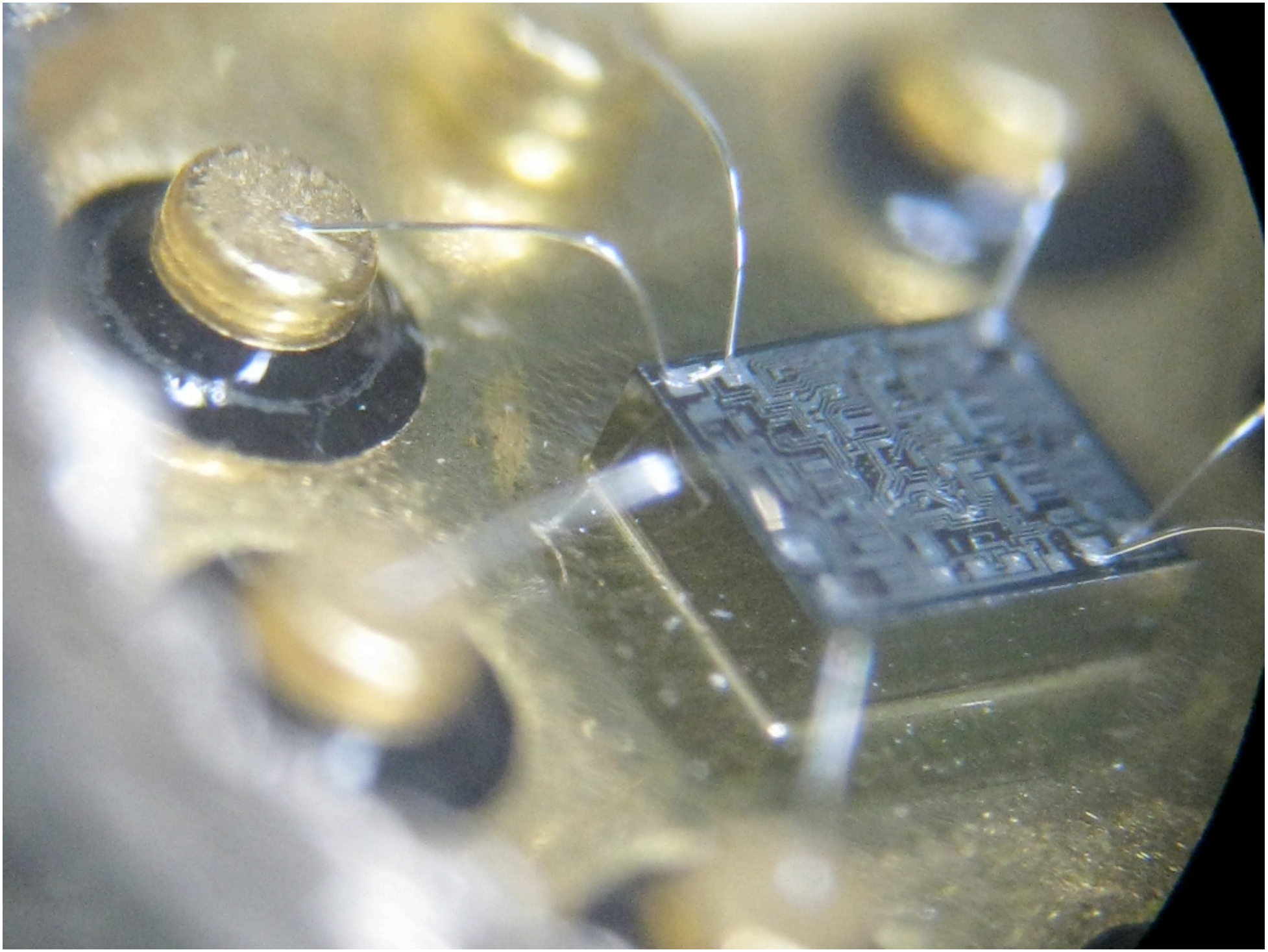


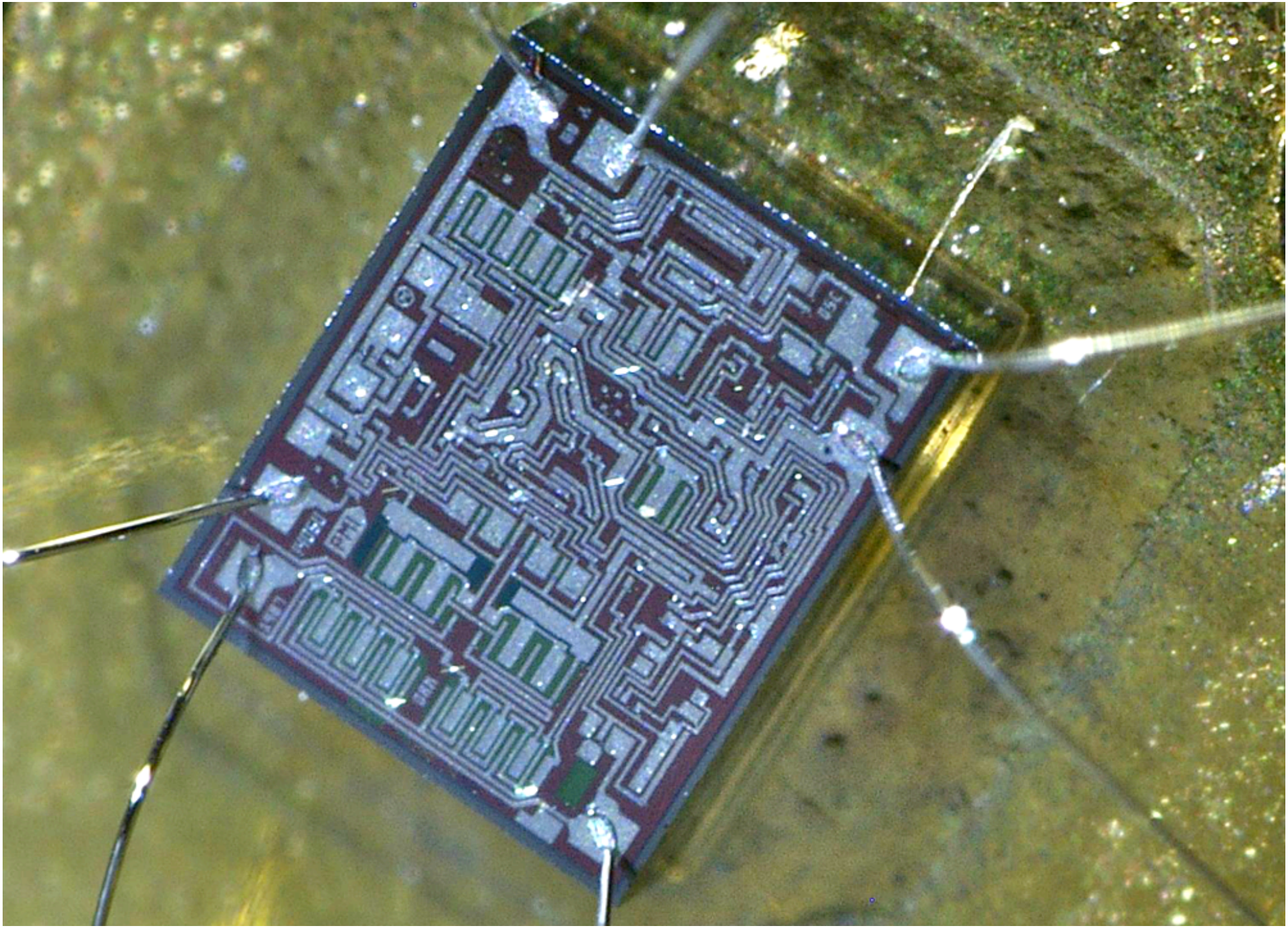
金属パッケージの内部に集積回路が置かれ、電極から伸びる細線で空中配線。



OP15, オペアンプ
(8pin, CANパッケージ)

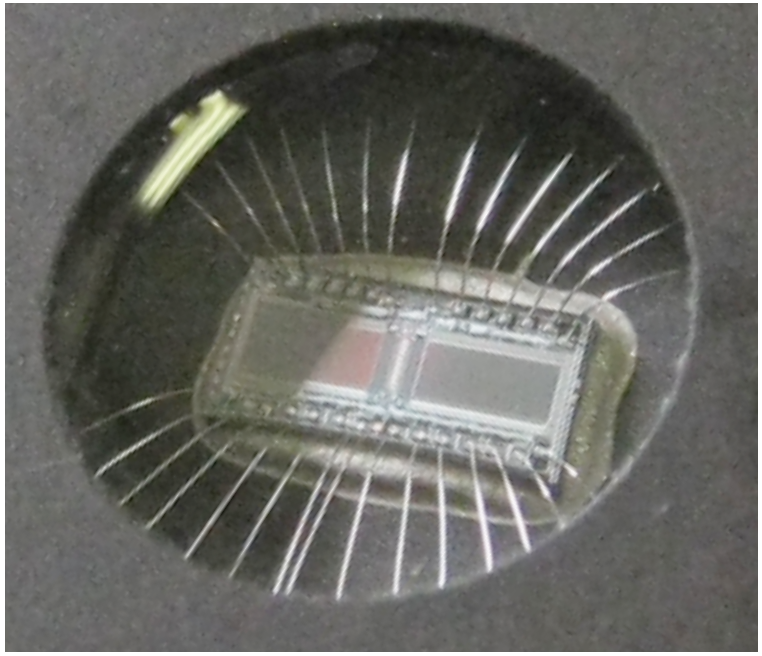




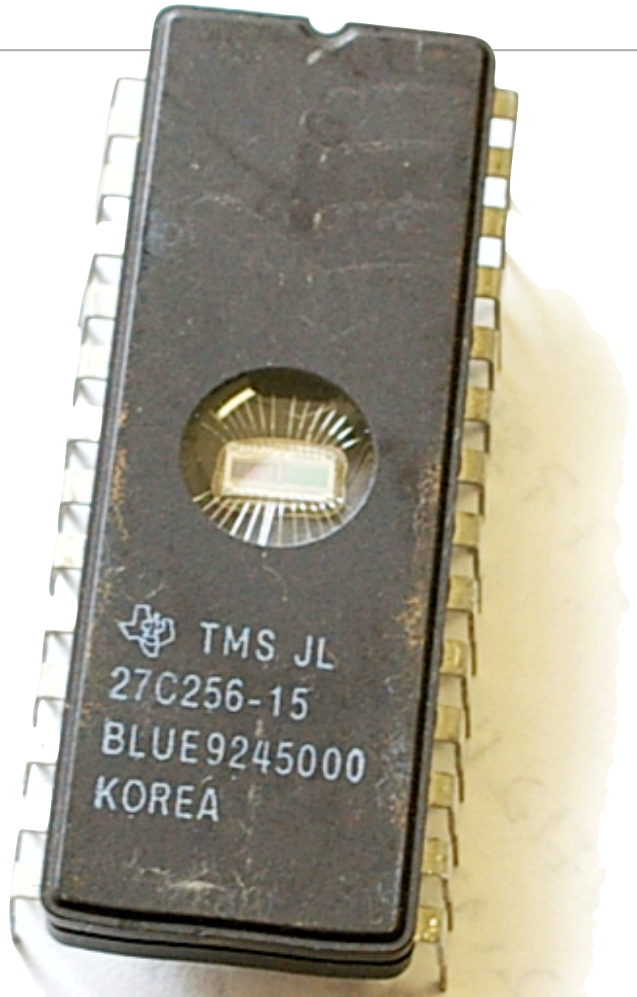


パッケージング

二列に電極が並んだパッケージもある（DIPと呼ばれる）



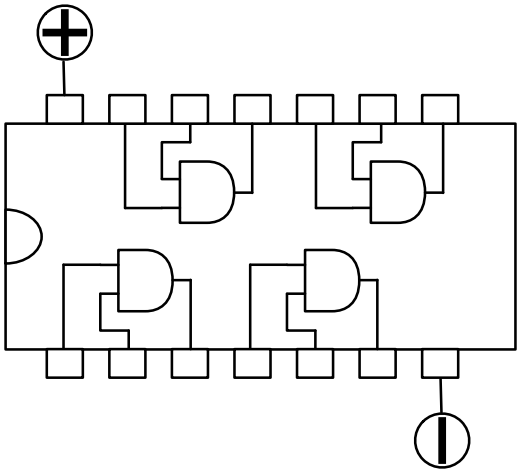
この製品では配線が見えている



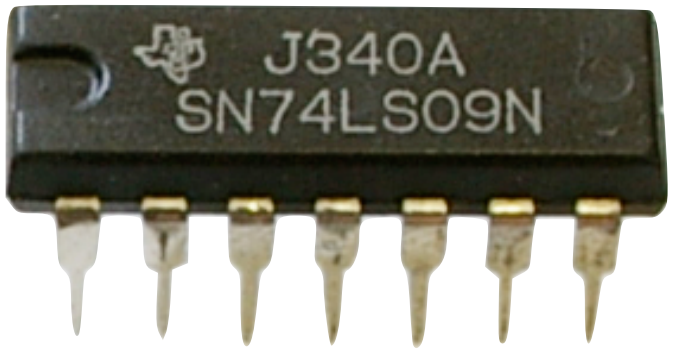
27C256, UV-EPROM
28pin DIP

ゲート IC

SN7409 (2-in AND x 4)







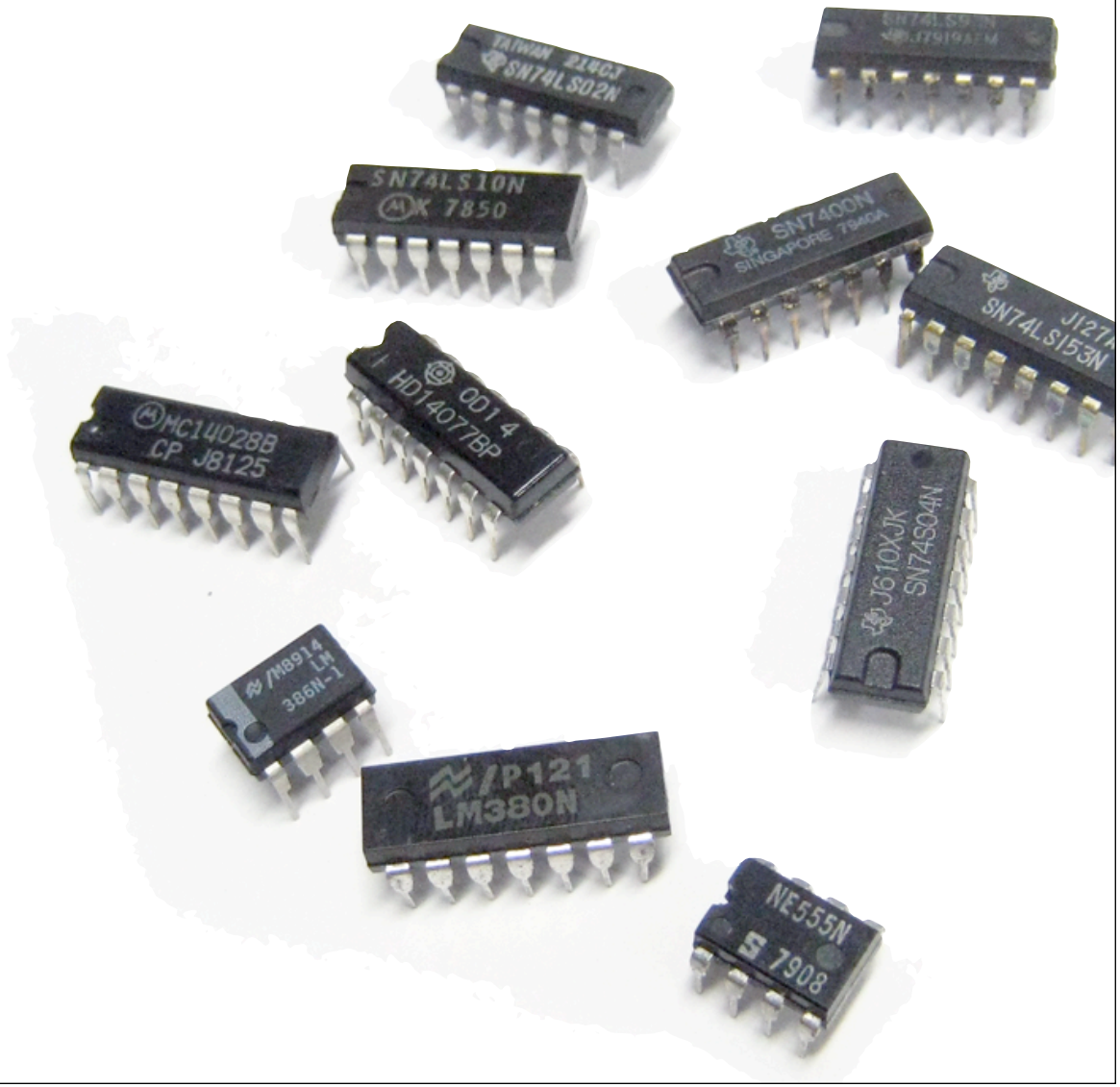
ICの反応速度は数十ナノ秒

ゲートが幾つか集積されて一つのパッケージに入っているため、回路全体がさらに小さくなる。

故障も減り、配線などの工数が減って製造コストも下がる。

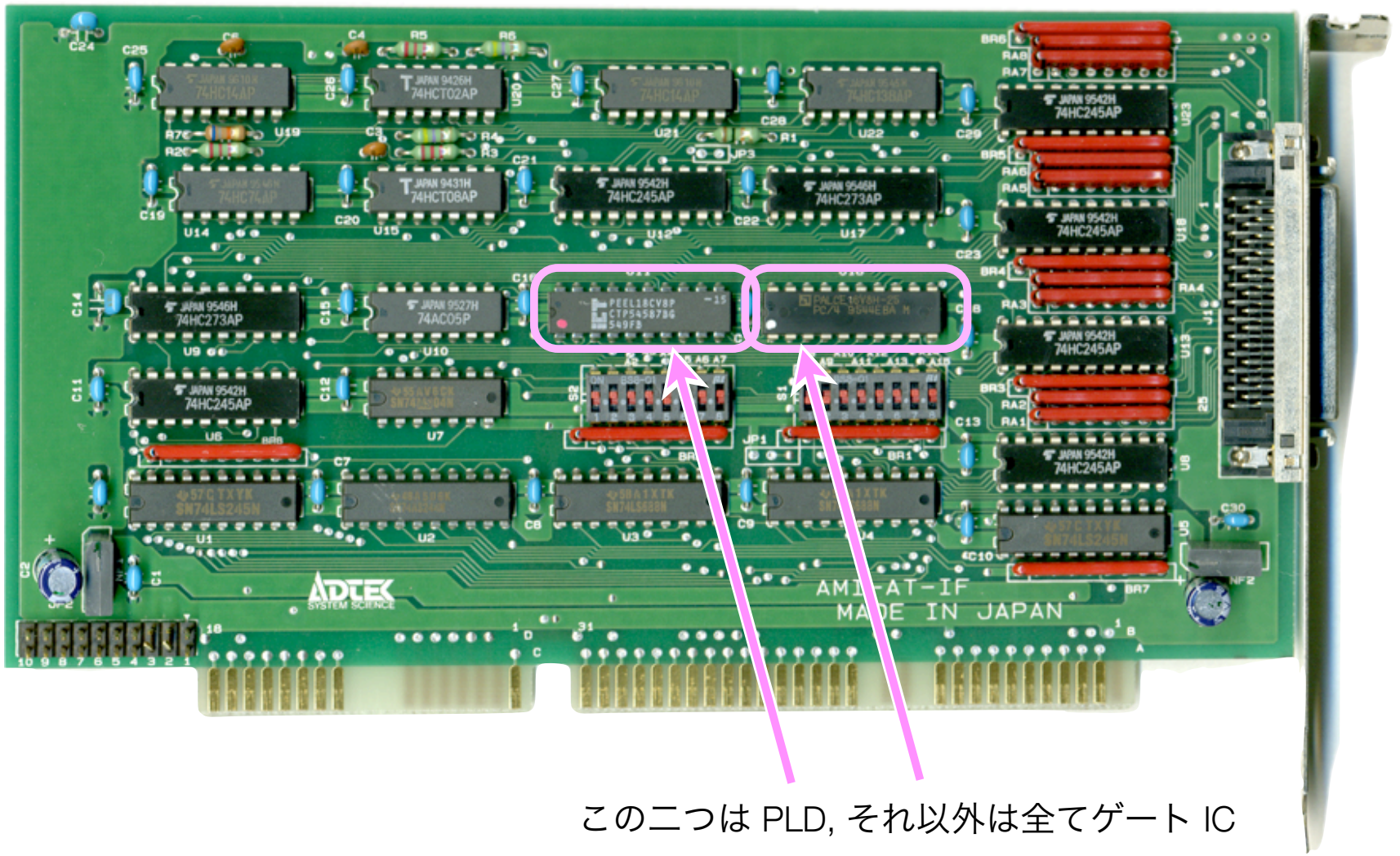
各種 IC

いろいろな回路が集積された製品があり、これらを組み合わせてシステム全体を作る。



ピン数、種別はさまざま。論理回路だけでなくアンプなどのアナログ用途の集積回路もある。

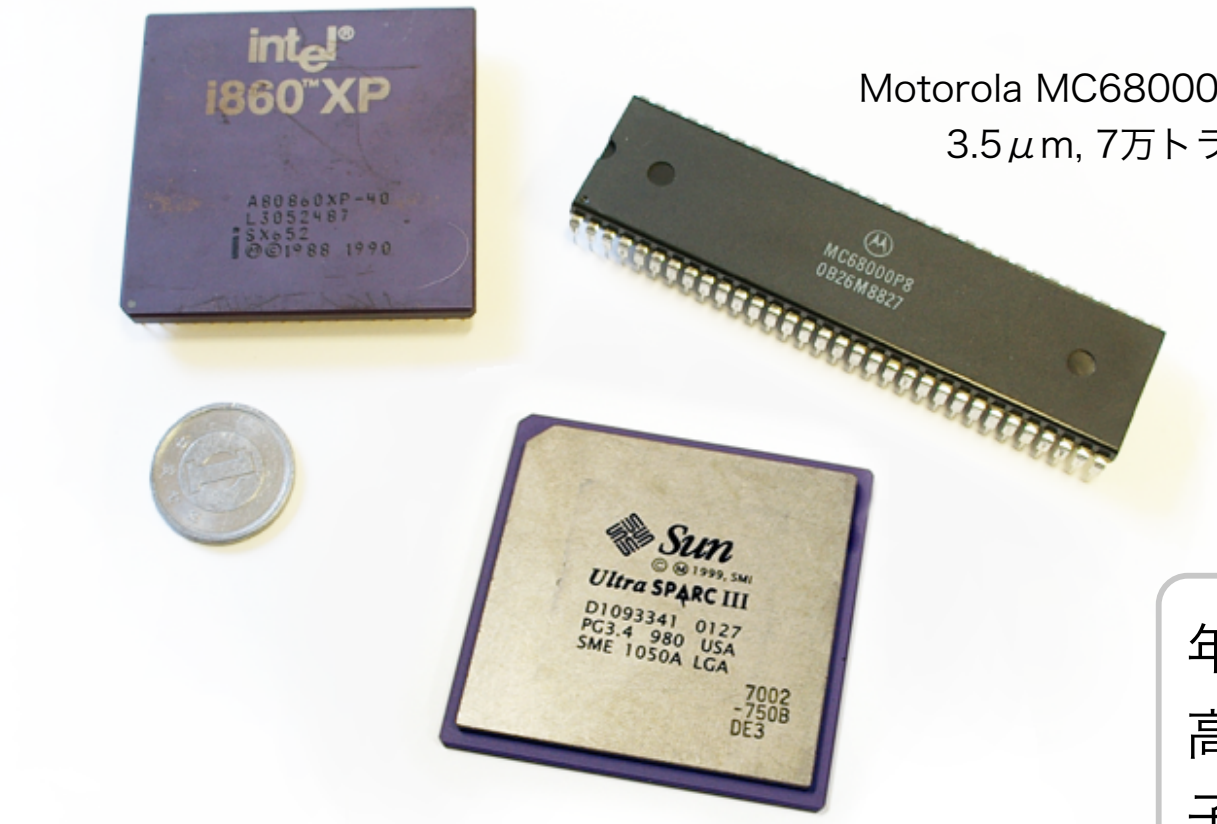
IC を組み合わせた製品



この二つは PLD, それ以外は全てゲート IC

LSI : 大規模集積回路

Intel i860XP, 40MHz, 1990
1μm, 120万トランジスタ



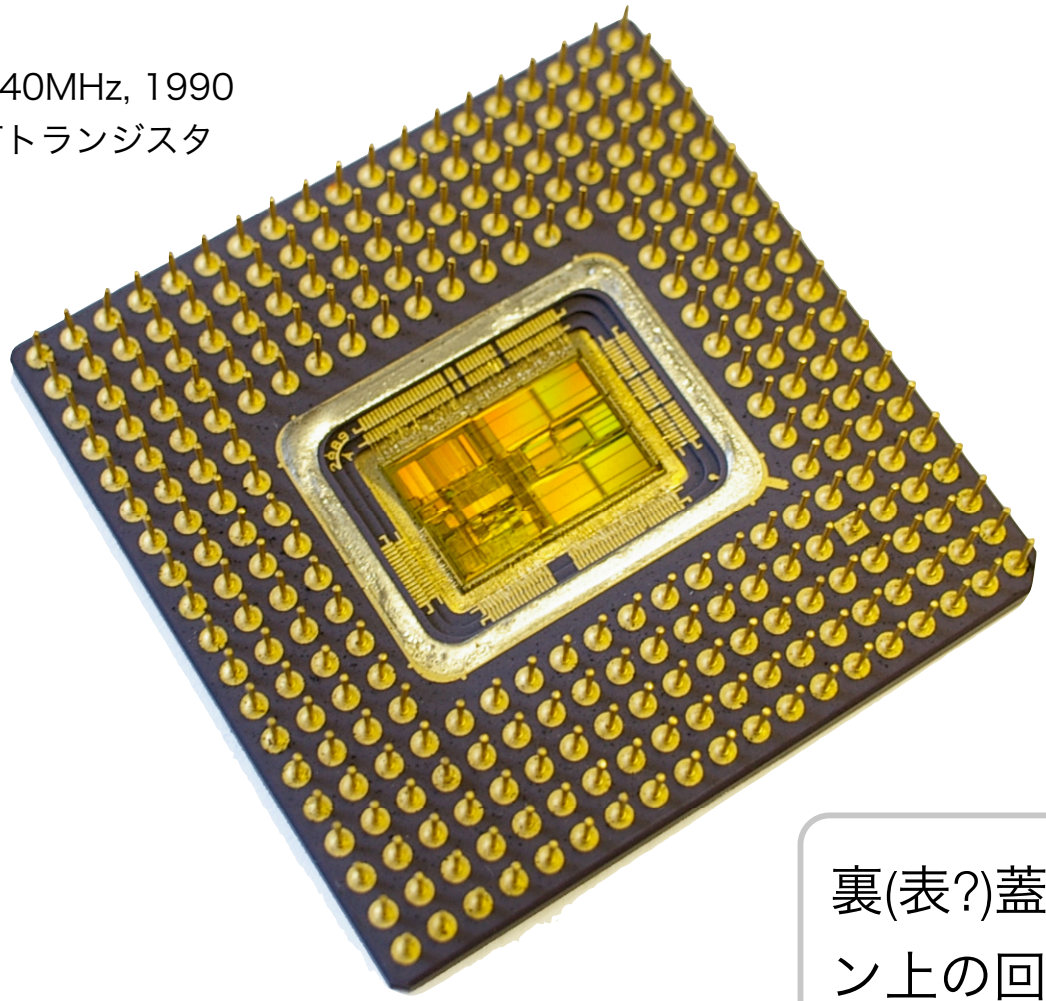
Motorola MC68000, 8MHz, 1980
3.5μm, 7万トランジスタ

Sun UltraSPARC III, 600MHz, 1999
0.18μm, 2900万トランジスタ

年ごとに配線幅は狭く、高速になり、また集積素子数も増える。

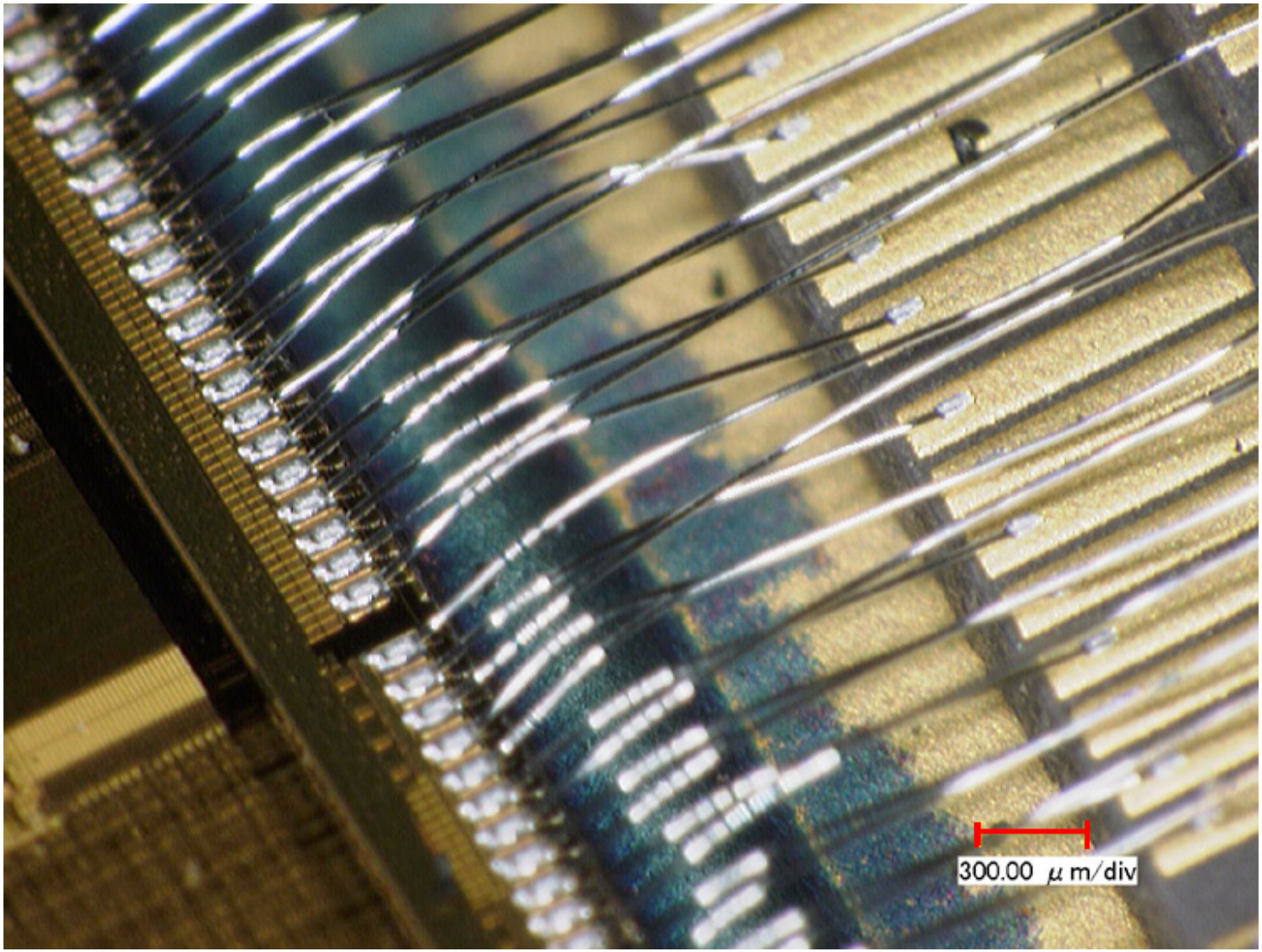
LSI：大規模集積回路

Intel i860XP, 40MHz, 1990
1μm, 120万トランジスタ



裏(表?)蓋を開けるとシリコン上の回路と配線が見える

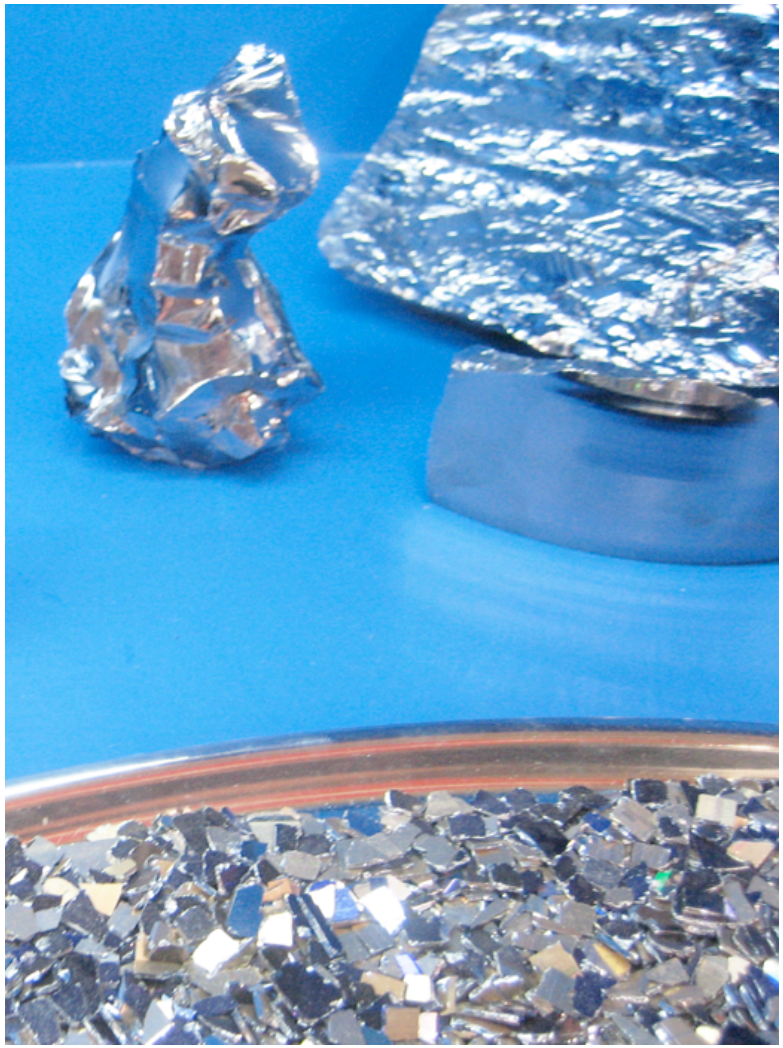
LSI：大規模集積回路



集積回路の製造

集積回路の製造

- シリコン結晶化
- ウェハー切り出し
- リソグラフィ・
  不純物拡散・配線
- ダイシング
- パッケージング

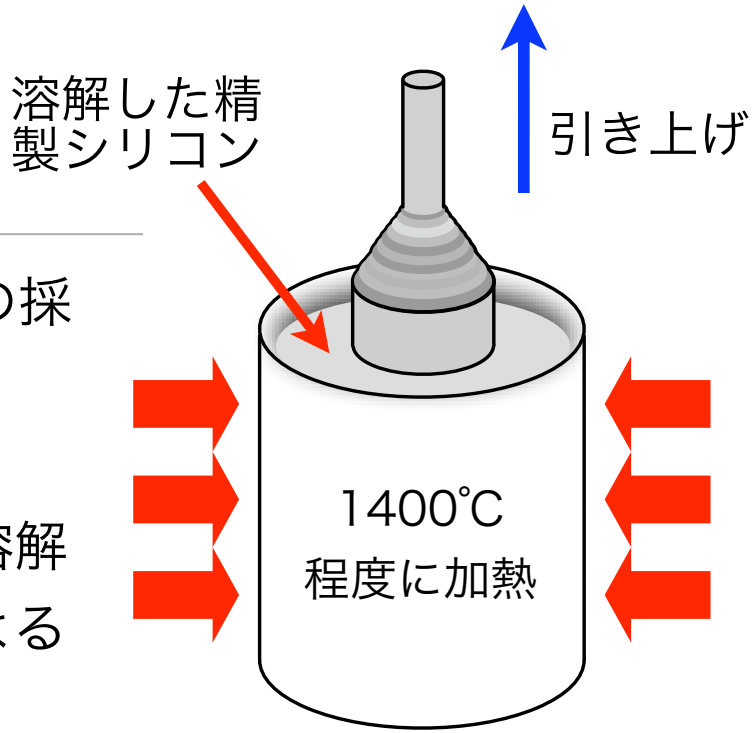


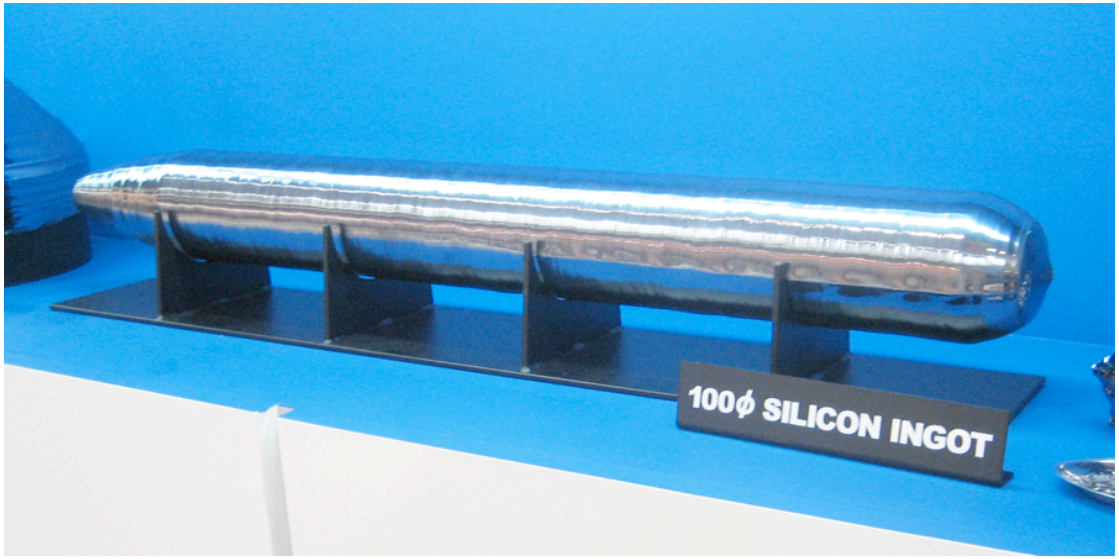
参考：よくわかる最新半導体の基本と仕組み, 西久保靖彦

集積回路の製造

- シリコン結晶化
- ウェハー切り出し
- リソグラフィ・
  不純物拡散・配線
- ダイシング
- パッケージング

1. 珪石(SiO2)の採掘
2. 精製
3. 炉で加熱・溶解
4. 引き上げによる単結晶化

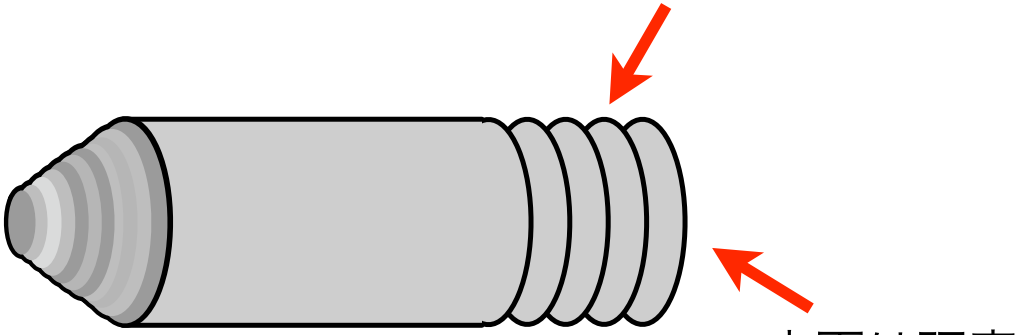




100mm 径のシリコン・インゴット（最新の設備では300mm径が多い）

集積回路の製造

- シリコン結晶化
- ウェハー切り出し
- リソグラフィ・
  不純物拡散・配線
- ダイシング
- パッケージング





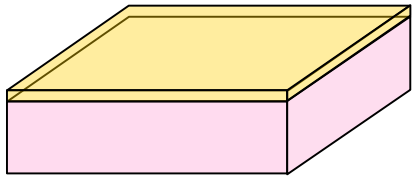
200mm径のウェハー



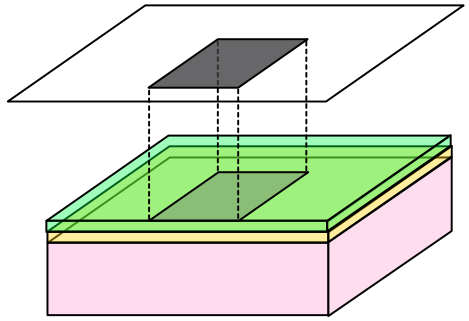
300mm径用の研磨装置

集積回路の製造

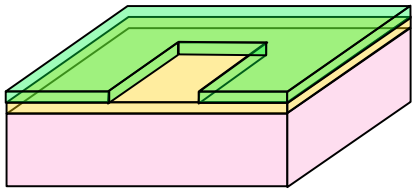
- シリコン結晶化
- ウェハー切り出し
- リソグラフィ・
  不純物拡散・配線
- ダイシング
- パッケージング



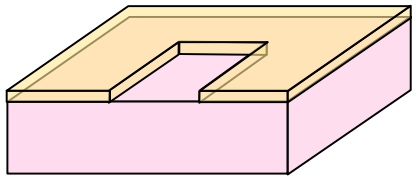
1. Si 基盤に酸化膜(SiO2)を形成



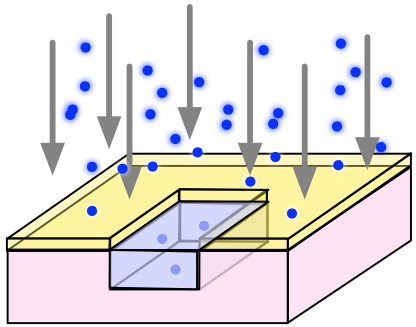
2. 感光剤塗布・パターン感光



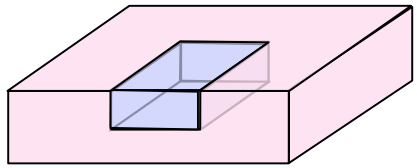
3. 現像・感光部分除去



4. エッチング・感光剤除去



5. 不純物拡散（イオン注入）

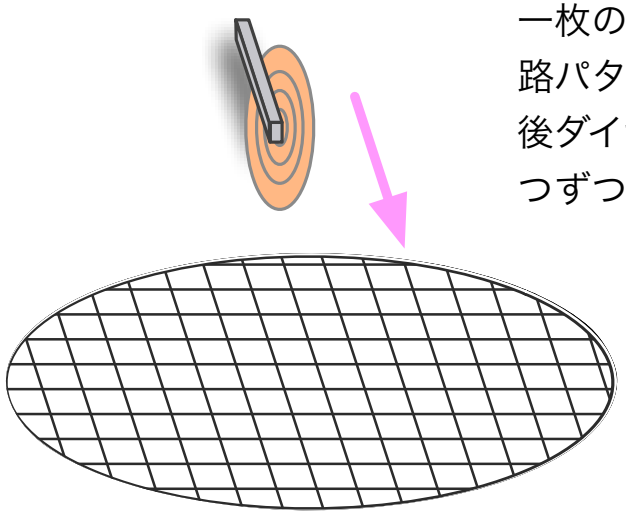


6. N/P 接続構成の形成
（酸化膜を除去しない場合も）

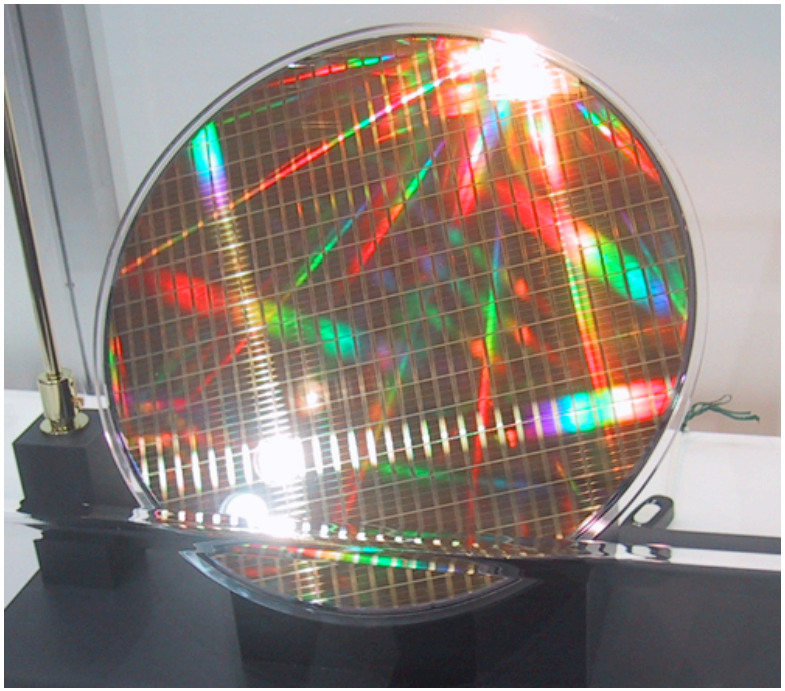
必要に応じて絶縁層、配線層（アルミ）などを同様に構築し、この工程を繰り返す

集積回路の製造

- シリコン結晶化
- ウェハー切り出し
- リソグラフィ・
  不純物拡散・配線
- ダイシング
- パッケージング



一枚のウェファーに同一の回路パターンを多数作り、その後ダイヤモンドカッターで一つずつカットする。



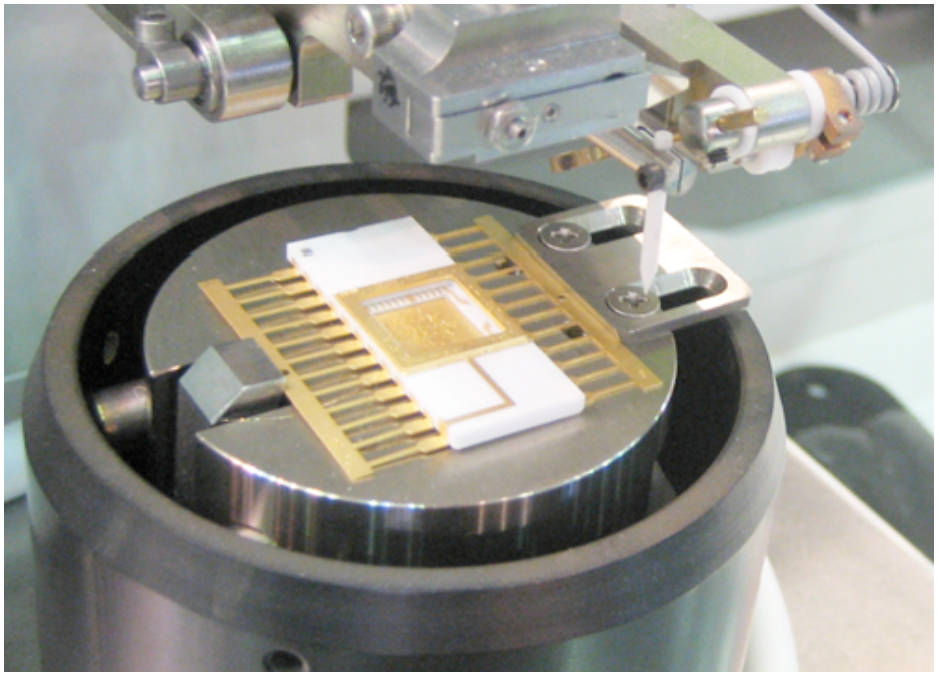
300mm ウェファー（東芝NANDフラッシュ）

集積回路の製造

- シリコン結晶化
- ウェハー切り出し
- リソグラフィ・
  不純物拡散・配線
- ダイシング
- パッケージング

1. リードフレームに載せる
2. ボンディングによってシリコン部と結線
3. 保護材で密封
4. リードを立て、マークを入れて出荷





リードフレーム（電極の元になる）の上に載せて
シリコン部とリードを結線する（ボンディング）

産業（ビジネス）としての半導体製造

半導体製造産業における寡占化

- 世界半導体市場規模 250 億ドル/月超 (2010, +32%up)
- Intel 売上高 400億ドル超
- 最新プロセッサの製造は寡占から独占へ
- DRAM, Flash Memory も寡占化が進行中

半導体製造産業における寡占化

- 設備投資の増大
- 速い技術革新→短期の設備更新サイクル
- さらなる寡占化の傾向

  SONY：Cell 製造設備売却（東芝へ）

  Texas Instruments：外部委託（32nm以降）
  更にTIはNational Semiconductor を2011.4に買収してアナログ市場占有率を高めた

  Intel (CPU), Samsung (DRAM, Flash), 東芝 (Flash),
  TSMC（台湾, 受託工場）＋αの 4 社？

  NEC エレクトロニクス + RENESUS 合併

（日経エレクトロニクス 2008.4.21. p.63）